

MÁY THU AM DỰA TRÊN NỀN TẢNG SDR

Nguyễn Như Anh, Hồ Trung Mỹ, Phan Đình Trung

Trường Đại học Bách khoa, ĐHQG-HCM

(Bài nhận ngày 10 tháng 09 năm 2007, hoàn chỉnh sửa chữa ngày 01 tháng 07 năm 2008)

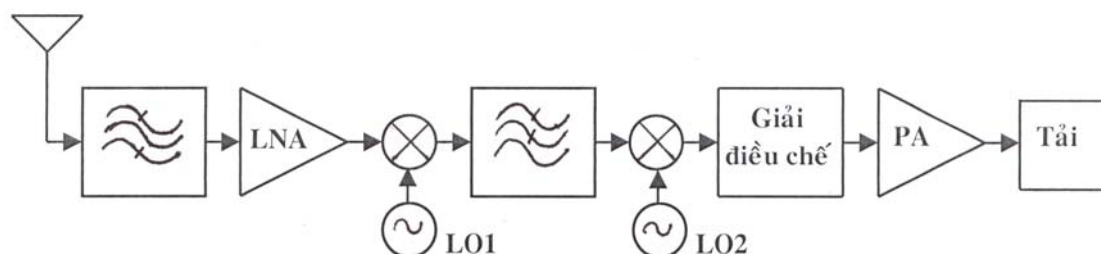
TÓM TẮT: *Software Defined Radio (SDR) hay còn gọi là Software Radio (SR) nghĩa là hệ thống vô tuyến được định nghĩa bằng phần mềm. SDR bắt đầu được nghiên cứu vào đầu thập niên những năm 80 phục vụ cho mục đích quân sự. Sau đó SDR được phát triển cho các ứng dụng dân sự. Đề tài nghiên cứu kiến trúc cơ bản của hệ thống vô tuyến được định nghĩa bằng phần mềm và triển khai trên mô hình máy thu AM. Hệ thống được thực hiện bằng kit FPGA.*

1. MỞ ĐẦU

Sự ra đời của SDR tạo điều kiện thay thế dần các thiết bị HDR (Hardware Defined Radio – hệ thống được định nghĩa bằng phần cứng) có chi phí sản xuất và bảo trì cao, độ linh hoạt kém, tuổi thọ thấp, v.v... Trong phạm vi bài viết này chúng tôi sử dụng mô hình máy thu AM để diễn giải cấu trúc của một hệ thống SDR.

2. MÔ HÌNH MÁY THU AM TRÊN NỀN TẢNG HDR

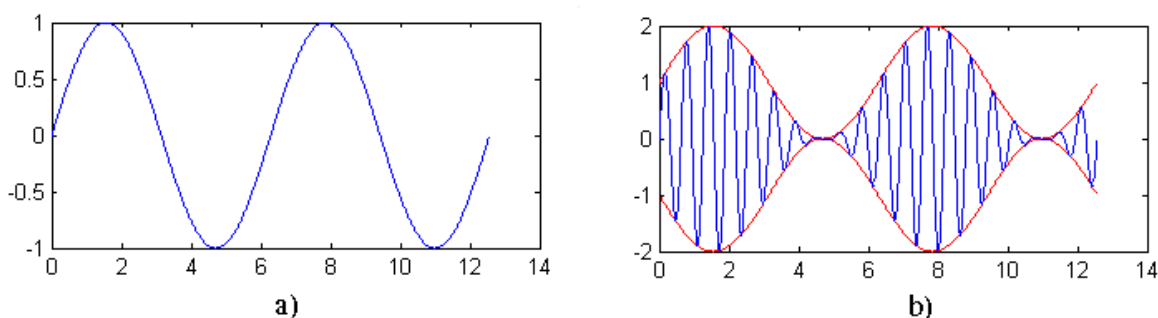
Máy thu AM có nhiều loại khác nhau đi từ đơn giản đến phức tạp và có chung một sơ đồ khối như hình 1.



Hình 1. Sơ đồ khối máy thu AM

Các khối LO1 và LO2 (Local Oscillator) là các bộ tạo dao động nội, cung cấp tín hiệu dao động cho các bộ nhân tần số. Hai bộ lọc trung tần và lọc dải nền lọc bỏ tín hiệu sóng mang và giữ lại tín hiệu âm tần mong muốn. Khối LNA (Low Noise Amplifier) là bộ khuếch đại nhiễu thấp, khuếch đại tín hiệu ngõ ra bộ lọc thông dải trước khi đưa vào bộ nhân tần nhằm tránh suy hao tín hiệu. Khối PA (Power Amplifier) là khối khuếch đại công suất trước khi đưa ra tải. Khối tải có thể là loa, các loại tai nghe,...

Khối giải điều chế sử dụng phương pháp tách đường bao. Dạng sóng tín hiệu AM của một tín hiệu hình sin có dạng như hình 2.

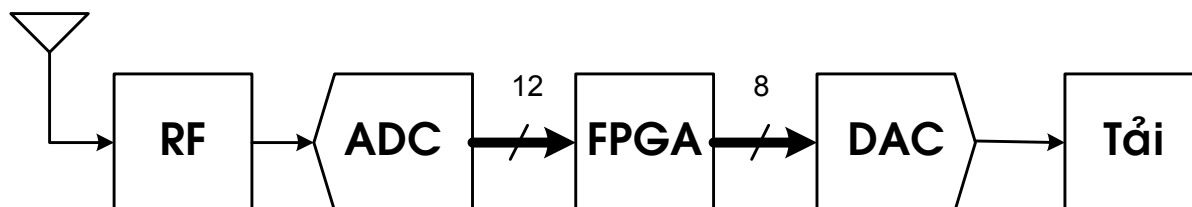


Hình 2. a) Dạng sóng tín hiệu gốc ban đầu., b) Dạng sóng tín hiệu AM sau khi điều chế.

Dạng sóng tín hiệu AM biến thiên giữa hai đường bao được tạo bởi tín hiệu gốc ban đầu. Trong thực tế, hình dạng sóng AM phức tạp hơn do tín hiệu gốc ban đầu rất phức tạp.

3.MÔ HÌNH MÁY THU AM TRÊN NỀN TẢNG SDR

Khác với máy thu AM trước đây, máy thu AM nói riêng và các thiết bị vô tuyến nói chung dùng mô hình SDR đều có chung một kiến trúc như sau:



Hình 3. Sơ đồ khối máy thu AM trên nền tảng SDR

Trong sơ đồ khối máy thu AM (hình 3) có 6 khối cơ bản như sau:

Khối anten:

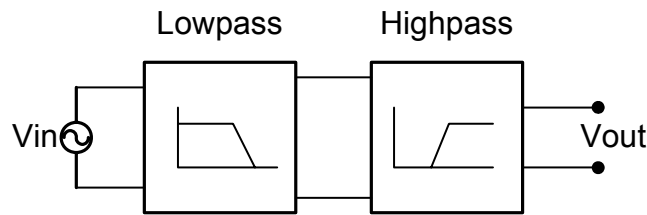
Thu các tín hiệu vô tuyến đưa vào mạch xử lý. Đối với mô hình đầy đủ của SDR thì khối anten là một anten thông minh cho phép thu và phát tín hiệu vô tuyến trên một dải băng tần rộng. Để có thể thu và phát đồng thời trên một anten thì tín hiệu trước khi ra anten cần đưa qua bộ tổng hợp tần số vô tuyến (RF Combiner).

Đối với máy thu AM này, anten được sử dụng là anten roi thông thường được sử dụng trong hầu hết các máy thu AM/FM có trên thị trường.

Khối RF (Radio Frequency):

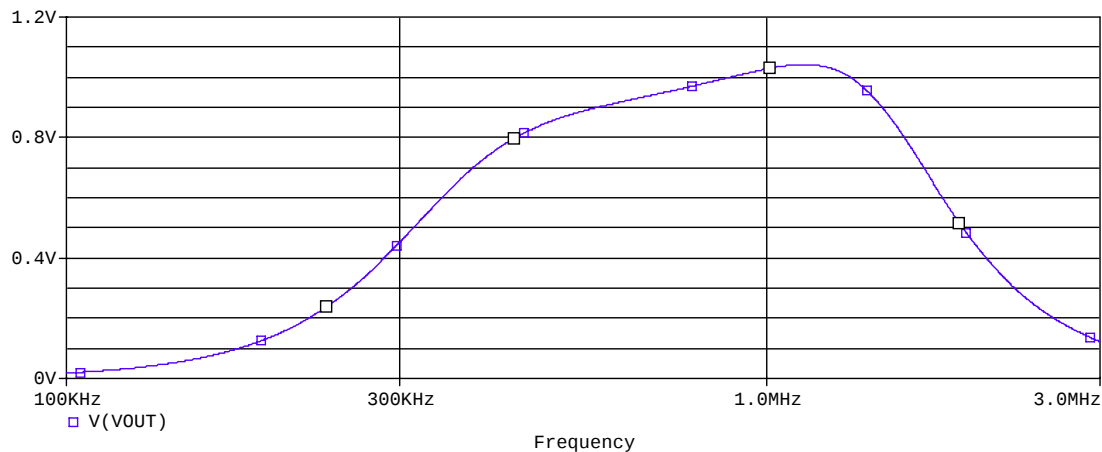
Khối RF có nhiệm vụ lọc lấy dải tần số mong muốn. Khối này giống như khối lọc trung tần IF và khuếch đại nhiễu thấp (LNA) trong các hệ thống trước đây.

Tín hiệu truyền thanh AM nằm trong phổ tần từ 520KHz đến 1670KHz. Do đó, chúng ta có thể dùng bộ lọc thông thấp hoặc thông dải để lọc lấy dải tín hiệu này. Để đảm bảo tín hiệu có công suất bằng nhau trong suốt chiều dài phổ tần số, chúng ta chọn bộ lọc thông dải tích cực Butterworth bậc 3 (độ dốc -60dB/decade). Bộ lọc thông dải tích cực Butterworth bậc 3 có được từ việc ghép liên tầng hai bộ lọc thông cao và bộ lọc thông thấp cùng loại (hình 4).



Hình 4. Mô hình bộ lọc thông dải (bandpass)

Đáp ứng phổ của bộ lọc thông dải tích cực Butterworth được thể hiện ở hình 5.



Hình 5. Phổ đáp ứng tần số của bộ lọc thông dải Butterworth

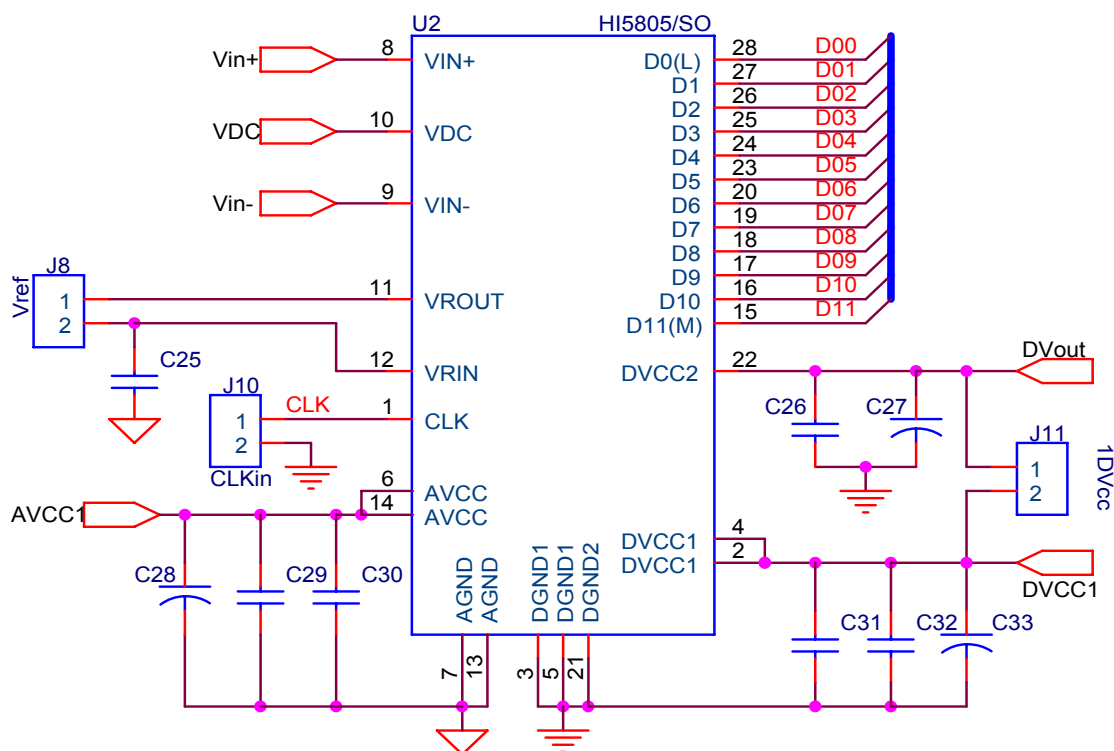
Bộ lọc thông cao/thấp bậc 3 Butterworth có được từ việc ghép hai bộ lọc cùng loại có bậc 2 và bậc 1. Để đạt số bậc cao hơn cho bộ lọc, ta ghép liên tiếp nhiều tầng các bộ lọc có bậc 2 và bậc 1 trên.

Tần số cắt của bộ lọc được xác định bằng công thức: $f_c = \frac{1}{2\pi RC}$ trong đó, giá trị tụ được lựa chọn trước và tính giá trị điện trở theo giá trị tụ và tần số cắt [2].

Bộ lọc thông dải có tần số cắt nằm ở hai tần số: $f_1 = 396 \text{ KHz}$ và $f_2 = 1650 \text{ KHz}$. Các tần số cắt này gần đạt như mong muốn thiết kế ban đầu.

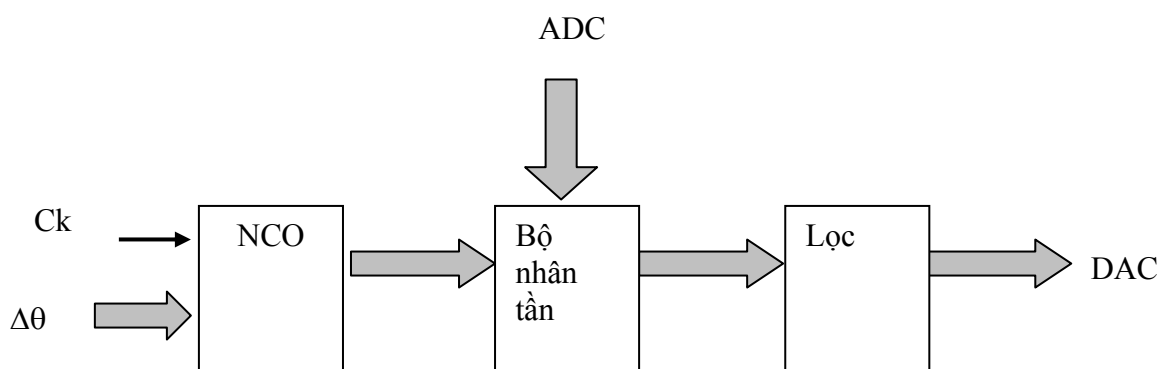
Khối ADC (Analog to Digital Converter):

Khối ADC chuyển đổi tín hiệu tương tự thành tín hiệu số trước khi đưa vào xử lý. Do tần số lớn nhất của băng tần tín hiệu AM là 1670KHz nên theo định lý lấy mẫu Nyquist thì tần số lấy mẫu khoảng 3340KHz. Để đáp ứng yêu cầu tốc độ lấy mẫu này, chúng ta chọn ADC HI5805 của hãng Intersil. HI5805 có tần số lấy mẫu tối đa là 5Msps với 12bit dữ liệu. Mạch ADC dùng HI5805 [3-a]:



Hình 6. Khối ADC dùng HI5805

Theo giản đồ thời gian, giá trị ngõ ra chỉ có ý nghĩa sau 3 chu kỳ xung nhịp [3-a]. Do đó, nếu tần số lấy mẫu là 3340Ksps thì tần số xung nhịp cấp cho HI5805 lớn hơn hoặc bằng $3340 \times 3 \text{ KHz} = 10020 \text{ KHz}$.



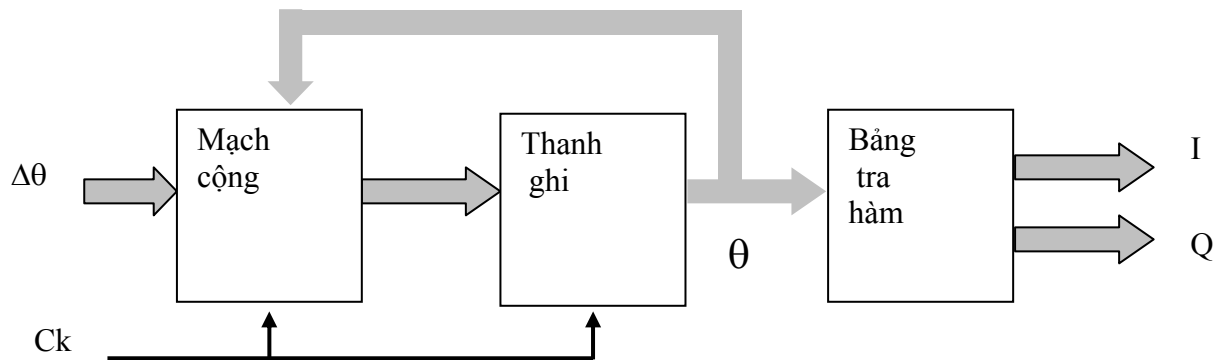
Hình 7. Sơ đồ khối tổng thể của phần FPGA

Khối FPGA:

Khối FPGA (hình 7) đảm nhận các chức năng của bộ tạo dao động nội điều khiển số NCO (Numerically Controlled Oscillator), bộ lọc số, bộ nhân tần và bộ giải điều chế.

Khối NCO:

Tín hiệu số từ khối ADC có độ rộng 12bit nên dao động cũng được lựa chọn có độ rộng 12bit. Khối NCO thực chất là khối tạo hai nguồn dao động trực giao nhau I (Inphase) và Q (Quarature) là hai tín hiệu hình Sin và Cosin. Tín hiệu dao động này dùng để hiệu với tín hiệu đầu vào và loại trừ thành phần sóng mang của tín hiệu. Khối NCO phát nhiều tần số khác nhau và hiệu chỉnh bằng phần mềm. Do đó độ gia tăng góc pha $\Delta\theta$ là tín hiệu đầu vào của NCO. Sơ đồ khối của bộ NCO cho trên hình 8.



Hình 8. Sơ đồ khối bên trong bộ NCO

Khối NCO dùng phương pháp tra bảng (đối với số lượng mẫu thấp) nhằm giảm tải nguyên phần cứng. Tần số ngõ ra fout phụ thuộc vào tần số xung nhịp fclk, số mẫu trên một chu kỳ N ($N = 2^{B_N}$) và độ gia tăng pha $\Delta\theta$. Với các thông số đã biết là N, fclk, fout, ta tính ra độ gia tăng pha $\Delta\theta$. Đây là giá trị cần thiết cấp vào cho NCO.

Độ gia tăng pha $\Delta\theta$ được định nghĩa là: $\Delta\theta = \frac{fout * N}{fclk}$. Nếu chọn tần số xung nhịp fclk bằng với tần số lấy mẫu cao nhất của ADC là 3340KHz, kích thước bảng tra N=1024 mẫu/chu kỳ thì độ gia tăng pha $\Delta\theta$ sẽ là:

- $fout = 520\text{KHz} \rightarrow \Delta\theta = 520\text{K} * 1024 / 3340\text{K} = 159.42$
- $fout = 1670\text{KHz} \rightarrow \Delta\theta = 1670 * 1024 / 3340\text{K} = 512$

Số bit cần dùng để thể hiện $\Delta\theta$ là: $B_{\Delta\theta} = \log_2(512) = 9\text{bit}$

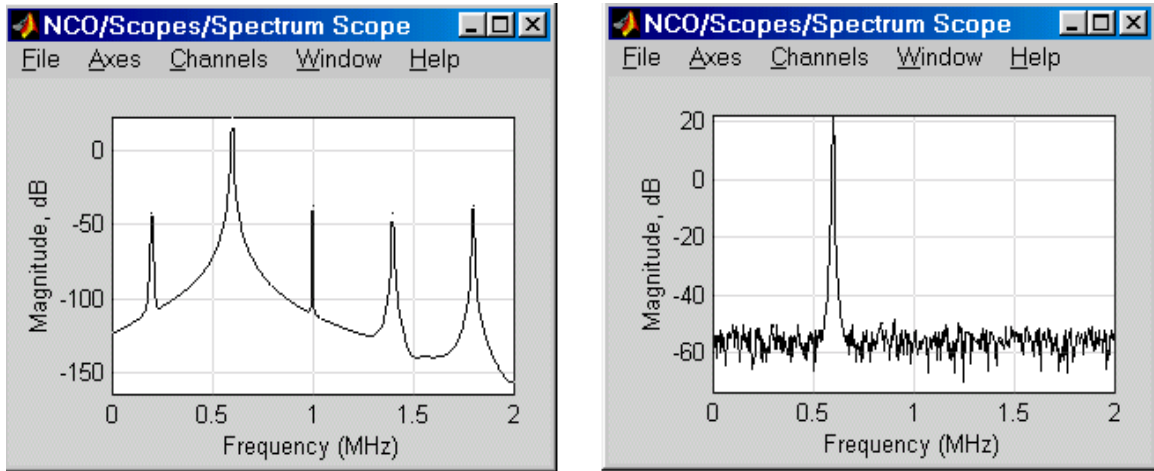
Độ gia tăng pha được cộng dồn liên tục qua một bộ tích phân số cấu tạo gồm mạch cộng và thanh ghi. Hoạt động kết hợp của các khối này có tác dụng như một thanh ghi tích lũy (phase accumulator). Kết quả được đem đi hiệu chỉnh để tìm ra chỉ số mảng tương ứng với giá trị này.

Do quá trình cộng dồn tín hiệu và số lượng mẫu là hữu hạn nên sẽ xuất hiện sai số tích lũy gây ra gai không mong muốn trên tín hiệu ngõ ra. Để giải quyết tình trạng này, người ta sử dụng phương pháp cộng thêm (Dither) một sai lệch nhỏ để khử sai số tích lũy (hình 9).

Số bit dither thường rất nhỏ (khoảng vài bit), cho phép hiệu chỉnh chỉ số mảng với độ lệch chỉ số mảng khoảng vài chỉ số.

Bộ nhân tần:

Bộ nhân tần thực chất là bộ trộn số (digital mixer) thực hiện nhân hai số thông thường phục vụ cho việc chuyển dịch tần số. Có hai bộ nhân tần được cài đặt cho 2 tín hiệu dao động I và Q nhằm tạo ra hai tín hiệu phục vụ cho việc khôi phục tín hiệu dải nền sau này.



a) Không có Dither

b) Có Dither

Hình 9. Đáp ứng phổ của NCO.

Tín hiệu ngõ ra bộ trộn số là tín hiệu tổng và tín hiệu sai lệch tần số. Tín hiệu ngõ ra này sẽ được đưa qua bộ lọc số để loại bỏ thành phần tín hiệu tổng.

$$\sin(f_1) \cdot \sin(f_2) = \frac{1}{2} [\cos(f_1 - f_2) - \cos(f_1 + f_2)]$$

Trong đó:

* f_1 : là tần số sóng đến bộ trộn.

* f_2 : là tần số tạo ra bởi NCO.

Nếu ta lựa chọn tần số f_2 sao cho $f_2 = f_1 - f_x$ thì ta sẽ dùng bộ lọc thông thấp để lọc lấy thành phần hiệu. Trong đó, f_x là tần số tín hiệu mà chúng ta mong muốn.

Bộ lọc số:

Bộ lọc số phổ biến là bộ lọc lược CIC (Cascaded Integrator Comb). Bộ lọc CIC được cấu tạo từ việc ghép liên tiếp N tầng các bộ tích phân, N bộ vi phân, bộ giảm tốc độ mẫu.

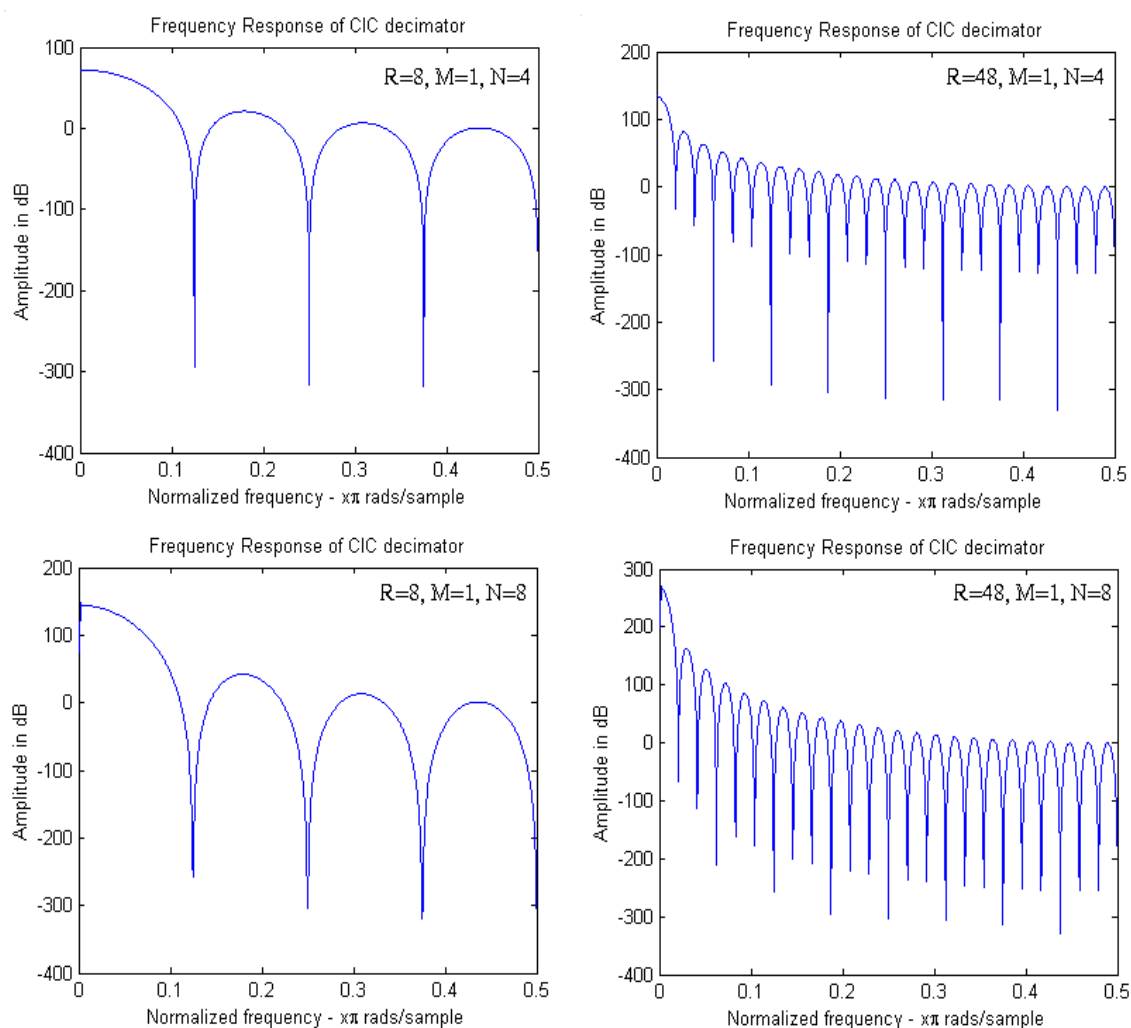
Bộ lọc CIC thực chất là bộ lọc thông thấp, lọc các tín hiệu dải nền sau khi ra khỏi bộ nhân tần. Thông số của bộ lọc CIC bao gồm: số tầng N, độ giảm tốc độ mẫu R (hay R_d), hệ số trì hoãn của bộ vi phân M. Bằng cách thay đổi các thông số này ta thu được các đáp ứng phổ khác nhau (hình 10).

Tốc độ mẫu ngõ ra: $f_{out} = f_{clk}/R$.

Hàm truyền của bộ lọc CIC có phương trình:

$$H(z) = H_I^N(z) H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N$$

Hàm truyền bộ lọc CIC cho thấy rõ, nếu ta tăng N sẽ làm gia tăng số điểm cực và số điểm không. Độ suy hao của băng thông tăng khi số tầng tăng. Khi ta tăng số tầng N thì biên độ của các búp phổ con giảm xuống nghĩa là bộ lọc có đáp ứng tần số tốt hơn (lọc triệt để). Khi ta tăng độ giảm mẫu R thì số búp phổ con tăng lên (cũng tăng với sự thay đổi M).



Hình 10. Đáp ứng phổ bộ lọc CIC ứng với một số giá trị R, M, N

Khi thiết kế bộ lọc CIC ta phải cân bằng giữa các thông số R, M, N sao cho đạt các điều kiện đòi hỏi ở ngõ ra, đồng thời tránh dùng một thông số quá lớn hoặc quá bé ảnh hưởng đến đáp ứng pha và thời gian đáp ứng của dữ liệu.

Khối DAC (Digital to Analog Converter) :

Khối DAC có nhiệm vụ chuyển đổi tín hiệu số sau xử lý sang dạng tín hiệu tương tự trước khi đưa vào khuếch đại ra tải. Do tín hiệu ngõ ra là tín hiệu âm thanh nằm trong

vùng tần số từ 20Hz đến 20KHz (tần số tai người còn nghe được), tức là tần số mẫu tối đa khoảng 44Ksps (theo định lý lấy mẫu của Nyquist). Tai người cũng ít nhạy cảm với sự khác biệt nhỏ của âm thanh. Vì vậy chúng ta chọn DAC 0808 của hãng National .

Trên hình 10 là một dạng sơ đồ mạch ứng dụng cơ bản của DAC0808.

Dòng điện ngõ ra Iout được xác định bởi công thức:

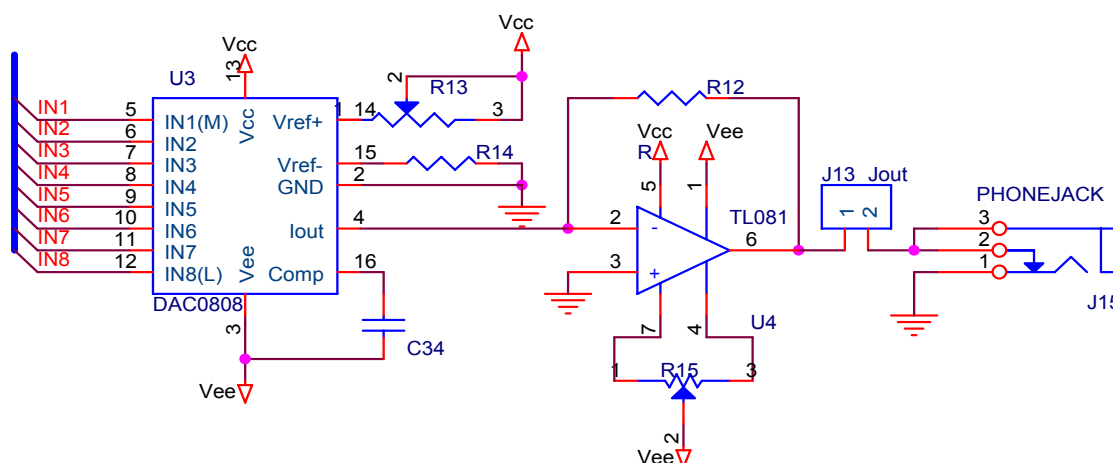
$$\mathbf{I}_0 = \mathbf{K} \left(\frac{\mathbf{A}_1}{2} + \frac{\mathbf{A}_2}{4} + \frac{\mathbf{A}_3}{8} + \frac{\mathbf{A}_4}{16} + \frac{\mathbf{A}_5}{32} + \frac{\mathbf{A}_6}{64} + \frac{\mathbf{A}_7}{128} + \frac{\mathbf{A}_8}{256} \right)$$

với K được xác định bởi: $\mathbf{K} = \frac{\mathbf{V}_{\text{REF}}}{\mathbf{R}_{14}}$.

Khối tải:

Khối tải trong mô hình SDR đầy đủ là thiết bị cho phép giao tiếp với các thiết bị hay mạng hiện hữu bên ngoài. Đối với máy thu AM thì tải chính là thiết bị tái tạo lại dạng sóng âm ban đầu. Do đó, khối tải ở đây có thể là loa (speaker) hay các loại tai nghe (head phone hay ear phone). Đối với loa, điện trở tải có thể là 16Ω hoặc 8Ω và có công suất lớn. Vì thế trước khi đưa tín hiệu ra loa, ta phải sử dụng mạch khuếch đại công suất thích hợp.

Đối với các loại tai nghe thì điện trở tải nằm trong khoảng từ 60Ω đến 180Ω . Nếu tín hiệu âm thanh có giá trị điện áp là $3V_{p-p}$ thì công suất đòi hỏi nằm trong khoảng từ $6.25mW$ đến $18.75mW$. Công suất này nằm trong giới hạn cho phép của bộ DAC ở trên.



Hình 11. Sơ đồ mạch DAC dùng DAC 0808

4.KẾT LUẬN

Mô hình SDR thực chất là mô hình đẩy dần khối ADC và DAC đến gần với anten hơn so với các mô hình trước đây. Kết hợp với việc sử dụng các linh kiện lấy mẫu, xử lý số tín hiệu tốc độ cao và có khả năng lập trình lại, mô hình SDR cho phép hệ thống được cấu hình lại nhanh chóng để đáp ứng các chuẩn mới với giá thành thấp. Từ đó, sản phẩm có giá thành hạ, tuổi thọ thiết bị cao, dễ phân phối đến tay người tiêu dùng.

Cùng với sự phát triển nhanh chóng của công nghệ kỹ thuật số, SDR hứa hẹn trở thành chuẩn mực cho việc phát triển các thiết bị vô tuyến trong tương lai.

A SDR-BASED AM RECEIVER

Nguyen Nhu Anh, Ho Trung My, Phan Dinh Trung
University of Technology, VNU-HCM

ABSTRACT: *The Software Defined Radio (SDR) or called Radio (SR) has begun to appear in the early 1980s for military use. Later, the SDR has been developed for civil purposes. This research work describes basic fundamental structure of Software Defined Radio and implements it on model of AM receiver with FPGA kit.*

TÀI LIỆU THAM KHẢO

- [1]. Kazuhiro Uehara – Katsuhiko Araki – Masahiro Umehira.
- [2]. *Trends in Research and development of SDR* – tháng 7 năm 2003.
- [3]. Robert F. Coughlin – Frederick F. Driscoll
- [4]. *Operational Amplifiers & Linear Integrated Circuits – The 4th Edition*. Prentice Hall
- [5]. Datasheets của hãng Intersil về ADC – www.intersil.com
- [6]. Datasheets của hãng National về DAC - www.national.com
- [7]. Datasheets của hãng Xilinx về NCO và CIC – www.xilinx.com