

A 0.1 TO 1.65 GHz VOLTAGE CONTROLLED OSCILLATOR (VCO) IN 180 nm CMOS PROCESS

Mai Thanh Hai, Nguyen Huu Tho*

Le Quy Don Technical University

ARTICLE INFO		ABSTRACT
Received:	18/9/2022	This paper presents design of voltage controlled oscillator (VCO) circuit applied to wide-band clock and data recovery circuits in high-speed serial communication systems. The proposed VCO circuit achieves wide frequency band and low gain (K_{VCO}) simultaneously by dividing the operating frequency range into triple-band by 2 digital control bits. A differential ring structure with a cross-coupled NMOS pair is used so that the VCO produces multiple output phases, has high operating frequency, and low phase noise. In addition, an output buffer is realized to drive heavy load at output of the VCO as well. The VCO circuit with the proposed frequency band division technique is implemented and fabricated in a 180 nm CMOS process. The post-layout simulation results illustrate that VCO circuit has good phase noise performance of -93.41 to -97.60 dBc/Hz at a 1-MHz offset and has a wide tuning range of 100 MHz to 1.65 GHz (177%). The measurement results show the output waveform of the VCO in three-band with a duty-cycle of approximately 50%. The VCO core circuit consumes 2.8 mW of power with a supply voltage of 1.8 V and occupies an area of 0.0546 mm ² .
Revised:	07/10/2022	
Published:	10/10/2022	
KEYWORDS		
Voltage Controlled Oscillator (BGR)		
Ring-VCO		
Differential Structure		
Wide-band		
Low K_{VCO}		

MẠCH DAO ĐỘNG ĐIỀU KHIỂN BẰNG ĐIỆN ÁP (VCO) TỪ 0,1 ĐẾN 1,65 GHz TRÊN CÔNG NGHỆ CMOS 180 nm

Mai Thanh Hải, Nguyễn Hữu Thọ*

Học viện Kỹ thuật Quân sự

THÔNG TIN BÀI BÁO	TÓM TẮT
Ngày nhận bài: 18/9/2022	Bài báo này trình bày về thiết kế mạch tạo dao động điều khiển bằng điện áp (Voltage Controlled Oscillator: VCO) ứng dụng cho các mạch khôi phục dữ liệu và xung đồng hồ dải rộng trong các hệ thống thông tin nổi tiến tốc độ cao. Mạch VCO đề xuất đạt được đồng thời dải rộng và hệ số khuếch đại (K_{VCO}) thấp bởi chia dải tần hoạt động của VCO thành 3 dải bằng 2 bit điều khiển số. Một kiến trúc mạch vòng, vi sai với cặp NMOS ghép chéo được sử dụng để VCO tạo ra nhiều pha, có tần số hoạt động cao và tạp âm pha thấp. Ngoài ra, một bộ đệm đầu ra cũng được thực hiện để điều khiển tải nặng tại đầu ra của VCO. Mạch VCO với kỹ thuật chia nhỏ dải tần đề xuất được thiết kế và chế tạo trên công nghệ CMOS 180 nm. Kết quả mô phỏng sau layout thể hiện mạch VCO có chất lượng tạp âm pha tốt từ -93,41 đến -97,60 dBc/Hz tại tần số dịch 1 MHz từ tần số hoạt động và có dải điều chỉnh tần số rộng từ 100 MHz đến 1,65 GHz (177%). Kết quả đo cho thấy dạng sóng đầu ra của VCO trong 3 dải có độ đầy xung (duty-cycle) xấp xỉ 50%. Mạch lõi VCO tiêu thụ công suất 2,8 mW với điện áp nguồn cung cấp 1,8 V và chiếm diện tích 0,0546 mm ² .
Ngày hoàn thiện: 07/10/2022	
Ngày đăng: 10/10/2022	
TỪ KHÓA	
Mạch dao động điều khiển bằng điện áp (VCO)	
VCO kiểu vòng	
Cấu trúc vi sai	
Dải rộng	
Hệ số khuếch đại của VCO thấp	

DOI: <https://doi.org/10.34238/tnu-jst.6523>

* Corresponding author. Email: tho.nh@mta.edu.vn

1. Giới thiệu

Hiện nay, thông tin dữ liệu nối tiếp đã trở nên hấp dẫn hơn so với bản sao song song của nó vì nhu cầu băng thông và tốc độ dữ liệu hoạt động ngày càng cao. Trong các hệ thống thông tin dữ liệu nối tiếp, mạch khôi phục dữ liệu và xung đồng hồ đặt tại đầu vào máy thu để trích ra xung đồng hồ và dữ liệu khôi phục từ chuỗi dữ liệu nhận được. Trong đó, mạch dao động điều khiển bằng điện áp (Voltage Controlled Oscillator: VCO) là một thành phần mạch quan trọng, đóng vai trò quyết định đến chất lượng jitter của mạch khôi phục dữ liệu và xung đồng hồ [1]. Mạch VCO có hai cấu trúc phổ biến là cấu trúc mạch vòng (Ring VCO) và cấu trúc LC VCO [2]. Trong khi cấu trúc LC VCO đạt được tần số trung tâm cao hơn và chất lượng jitter tốt hơn so với cấu trúc mạch vòng thì nó lại có khoảng điều chỉnh tần số hẹp hơn và diện tích chiếm lớn hơn do sử dụng cuộn cảm lớn trên chip, làm cho nó khó đạt được tần số mong muốn, đặc biệt là tại các tần số thấp [3]. Vì vậy, với các ứng dụng yêu cầu dải làm việc rộng của VCO thì cấu trúc mạch vòng trở nên hấp dẫn hơn.

Hiện nay, đã có nhiều nghiên cứu được thực hiện đối với kiến trúc VCO mạch vòng dải rộng, phổ biến nhất là VCO mạch vòng điều khiển dòng (Current Starved) [4], [5]. Các mạch VCO điều khiển dòng này đạt được dải điều chỉnh tần số rộng nhưng có hệ số khuếch đại VCO (K_{VCO}) lớn, không tuyến tính và không tạo được nhiều pha đầu ra cũng như các pha cầu phương cho VCO. Để khắc phục vấn đề này, nghiên cứu trong [6], [7] đã sử dụng kiến trúc VCO mạch vòng vi sai 4 tầng. Tuy nhiên các mạch VCO này có dải điều chỉnh tần số hẹp, từ 705 đến 927,5 MHz (27%) trong [6] và từ 2,2 to 2,7 GHz (20,4%) trong [7]. Các nghiên cứu trong [8], [9] sử dụng cấu trúc VCO mạch vòng vi sai nhiều đường và [10] sử dụng cấu trúc mạch Park-Kim cải tiến để mở rộng dải tần số hoạt động của VCO. Dải tần số điều chỉnh trong [8], [9] và [10] đạt được lần lượt là 2,68 đến 3,56 GHz (28,2%), 0,36 đến 1,2 GHz (100%), và 0,59 đến 1,27 GHz (73,1%). Mạch VCO trong [11] đạt được dải điều chỉnh tần số rộng hơn từ 0,1 đến 1,25 GHz (170%) nhưng có K_{VCO} lớn (2,66 GHz/V). Các kiến trúc VCO mạch vòng vi sai trong [9] – [11] đạt được dải điều chỉnh tần số tương đối rộng nhưng bị giới hạn ở tần số hoạt động cực đại. Hơn nữa K_{VCO} trong [9] chỉ tuyến tính trong dải tần từ 0,42 đến 1 GHz. Để vượt qua các hạn chế này, mạch VCO chia nhỏ dải tần số hoạt động đã được đề xuất trong [12]. Tuy nhiên, mạch VCO trong [12] sử dụng các bộ chia cầu phương để tạo ra dải tần số rộng từ 155,52 MHz đến 3,125 GHz, điều này dẫn đến mạch phức tạp hơn, tiêu thụ công suất lớn hơn và chiếm nhiều diện tích hơn.

Bài báo này đề xuất mạch VCO cho các mạch khôi phục dữ liệu và xung đồng hồ trong các hệ thống thông tin nối tiếp tốc độ cao, đạt được đồng thời khoảng điều chỉnh tần số rộng, liên tục và có K_{VCO} thấp. Điều này đạt được bằng cách sử dụng 2 bit điều kiện số để chia tần số hoạt động của VCO thành 3 dải. Ngoài ra kiến trúc VCO mạch vòng vi sai và cặp ghép chéo NMOS được sử dụng để tạo ra đầu ra nhiều pha và tăng giới hạn tần số cực đại của VCO. Bài báo gồm có bốn phần, phần tiếp theo sẽ trình bày về phương pháp nghiên cứu, bao gồm tổng quan về mạch VCO kiểu vòng và mạch VCO dải rộng đề xuất. Trong đó tập trung vào trình bày về mạch VCO 3 dải và bộ đệm chế độ dòng đầu ra. Kết quả mô phỏng sau layout và đo mạch được giới thiệu trong phần 3 và cuối cùng là kết luận.

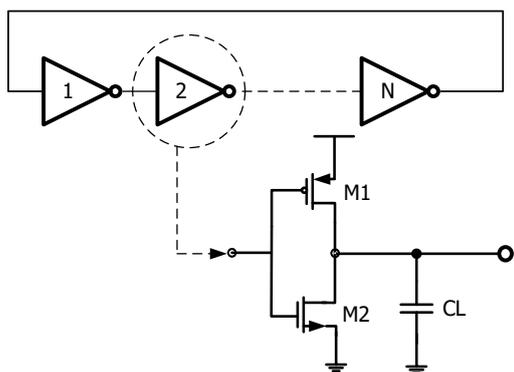
2. Phương pháp nghiên cứu

2.1. Tổng quan về mạch VCO kiểu vòng

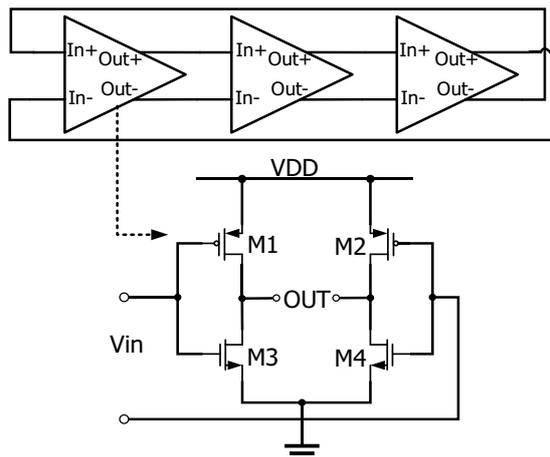
Mạch tạo dao động kiểu vòng (Ring Oscillator: RO) là một chuỗi vòng lặp kín phản hồi dương của số lượng chẵn hoặc lẻ (N) tầng đảo hoặc khuếch đại giống nhau [13]. Để tạo được dao động ổn định thì mạch dao động phải thỏa mãn tiêu chuẩn Barkhausen [2], trong đó, hệ số khuếch đại vòng hở của mạch dao động phải lớn hơn 1 và vòng lặp cần có độ dịch pha bằng 2π . Tần số dao động có thể được xác định bằng cách ước tính thời gian giữ trễ t_d của mỗi tầng trong vòng lặp. Mạch dao động sẽ trải qua $2Nt_d$ thời gian để hoàn thành một chu kỳ dao động. Vì vậy, tần số dao động của mạch RO có thể được tính như:

$$f_{osc} = \frac{1}{2Nt_d} \tag{1}$$

Các tầng giữ trễ của mạch RO có thể là đầu cuối đơn hoặc vi sai [14]. Mạch RO đầu cuối đơn được thể hiện như trên Hình 1, nó bao gồm một chuỗi các cổng đảo của các bóng bán dẫn PMOS và NMOS với số tầng phải là lẻ. Ngược lại, số lượng tầng giữ trễ trong các mạch RO vi sai có thể là chẵn hoặc lẻ (Hình 2). Cả hai kiểu này của mạch RO đều có thể được thực hiện tích hợp hoàn toàn trên công nghệ CMOS.



Hình 1. Kiến trúc mạch RO đầu cuối đơn

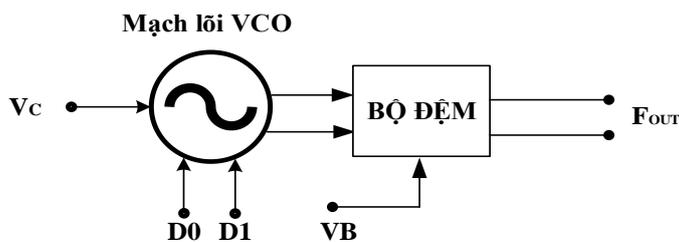


Hình 2. Kiến trúc mạch RO vi sai

Mạch RO đầu cuối đơn chỉ bao gồm một số lượng lẻ các cổng đảo nên nó có cấu trúc đơn giản hơn, tiêu thụ ít công suất hơn và có diện tích chiếm nhỏ hơn so với mạch RO vi sai. Tuy nhiên, khả năng miễn nhiễm với tạp âm nguồn cung cấp của nó kém hơn so với phiên bản vi sai và K_{VCO} của nó cũng lớn hơn. Vì vậy, mạch RO vi sai được sử dụng nhiều hơn trong các ứng dụng yêu cầu chất lượng cao của mạch dao động, đặc biệt là trong các mạch khôi phục dữ liệu và xung đồng hồ đòi hỏi xung đồng hồ khôi phục có jitter nhỏ.

2.2. Mạch VCO dải rộng đề xuất

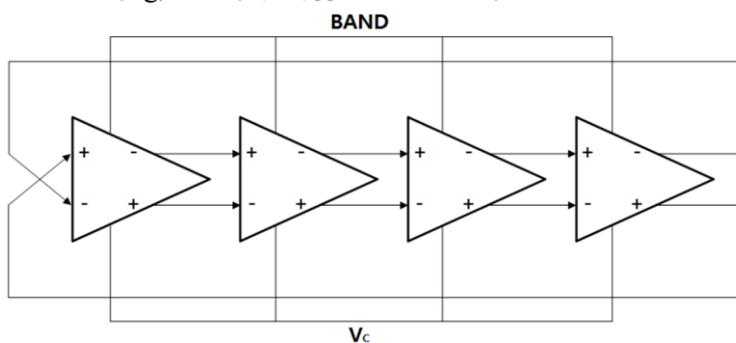
Như đã được chỉ ra trong phần 2, mạch RO vi sai có chất lượng tạp âm pha tốt hơn và tạo ra nhiều pha đầu ra hơn so với phiên bản RO đầu cuối đơn. Vì vậy, bài báo này đề xuất thực hiện mạch VCO vi sai kiểu vòng. Kiến trúc mạch VCO đề xuất được thể hiện như trên Hình 3. Mạch VCO gồm hai thành phần là mạch lõi VCO và bộ đệm đầu ra. Mạch lõi VCO tạo ra dải tần số đầu ra rộng với tần số được thay đổi theo điện áp điều khiển (V_C) và các bit điều khiển số D0, D1. Trong đó, D0, D1 sẽ lựa chọn ba dải tần số làm việc của VCO và V_C sẽ thay đổi tần số hoạt động của VCO trong mỗi dải. Bộ đệm đầu ra được thiết kế để điều khiển tải đầu ra và cách ly mạch lõi VCO khỏi bất kỳ ảnh hưởng nào từ bên ngoài. VB là điện áp phân áp cho độ đệm hoạt động đúng. Để mạch lõi VCO và bộ đệm hoạt động không có ảnh hưởng lẫn nhau thì trong mạch đề xuất, nguồn cho các mạch này được thiết kế tách riêng.



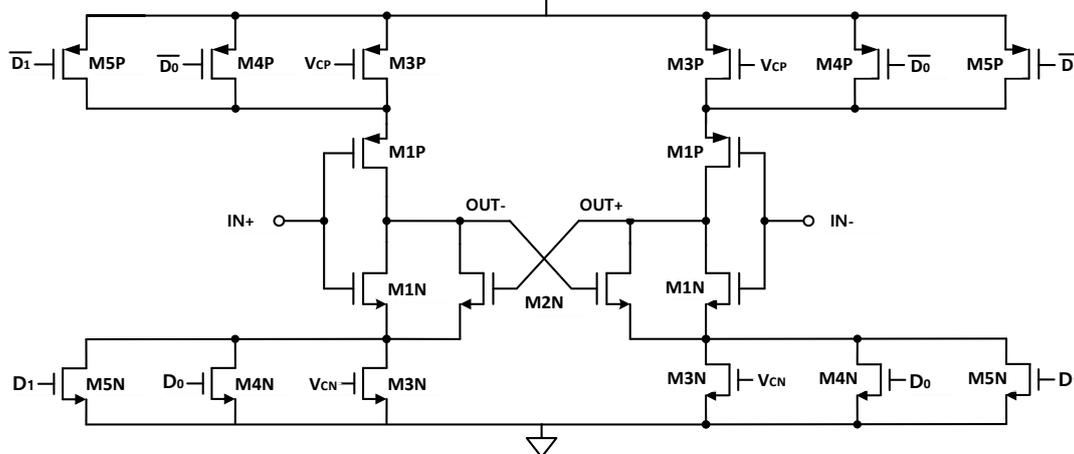
Hình 3. Kiến trúc mạch VCO đề xuất

2.2.1. Mạch lõi VCO

Tạp âm đầu ra của VCO tỷ lệ thuận với K_{VCO} [1]. Vì vậy, để giảm thiểu tạp âm đầu ra thì các mạch VCO cần có K_{VCO} nhỏ. Tuy nhiên, trả giá là làm giảm khoảng điều chỉnh tần số đầu ra của VCO. Để khắc phục vấn đề này, mạch VCO nhiều dải tần đã được đề xuất trong [15], [16]. Tuy nhiên, nghiên cứu trong [15] chia mạch VCO thành 3 dải tần số thấp, trung bình và cao với phần cứng sử dụng tăng lên 3 lần nên làm tăng diện tích chiếm và công suất tiêu thụ của mạch. Nghiên cứu trong [16] sử dụng 2 bit điều khiển số để lựa chọn các giá trị tụ điện khác nhau để đạt được dải điều chỉnh rộng. Nhưng [16] không có dải tần số hoạt động liên tục mà được chia làm 2 dải tách rời 1,8 đến 3,2 GHz và 3,9 đến 6,3 GHz. Vì vậy, bài báo này đề xuất thiết kế mạch VCO kiểu vòng vi sai 4 tầng (Hình 4) với mạch một tầng được thể hiện trên Hình 5 để đạt được đồng thời dải điều chỉnh tần số rộng, liên tục, K_{VCO} nhỏ và có diện tích chiếm nhỏ.



Hình 4. Mạch VCO vi sai 4 tầng



Hình 5. Chi tiết thực hiện mạch 1 tầng của VCO vi sai 4 tầng

Mạch VCO có hai tín hiệu điều khiển là V_C và BAND. Trong đó, BAND là tín hiệu điều khiển lựa chọn dải tần số cho VCO, bao gồm hai bit điều khiển số D0, D1 để chia VCO thành 3 dải tần số. V_C là điện áp điều khiển để thay đổi tần số của VCO trong từng dải, bao gồm các điện áp V_{CN} và V_{CP} với V_{CP} được tạo ra bằng phép biến đổi gương dòng điện từ V_{CN} ($V_{CN} = V_C$). Các bóng bán dẫn M1P và M1N tạo thành công đảo cho các đầu vào và kích thước của nó tỷ lệ thuận với dải tần số đầu ra của VCO. Mạch VCO sử dụng kiến trúc ghép chéo với hai bóng bán dẫn NMOS (M2N) để tăng tốc độ chuyển đổi mức tín hiệu từ cao sang thấp và ngược lại cho tần số đầu ra của VCO, kích thước của M2N tỷ lệ nghịch với tần số cực đại của VCO. Bốn bóng bán dẫn (M4N, M5N, M4P, M5P) được điều khiển bởi 2 bit D0, D1 để chia toàn bộ dải tần số của VCO thành 3 dải: dải 1 tương ứng với D0 = 0, D1 = 0 (M4N, M4P, M5N, M5P đóng); dải 2 tương ứng với D0 = 1, D1 = 0 (M4N, M4P mở và M5N, M5P đóng); dải 3 tương ứng với D0 = 0, D1 = 1 (M4N, M4P đóng và M5N, M5P mở). Trong đó, các bóng bán dẫn PMOS điều chỉnh giới

hạn dải tần số của VCO và các bóng bán dẫn NMOS điều chỉnh độ tuyến tính của hệ số khuếch đại VCO trong mỗi dải. Dựa trên các phân tích trên và từ mục tiêu thiết kế mạch VCO là để đạt được dải tần rộng, K_{VCO} nhỏ và độ tuyến tính cao trong mỗi dải, các giá trị tham số thiết kế cho mạch VCO đề xuất được thể hiện như trên Bảng 1.

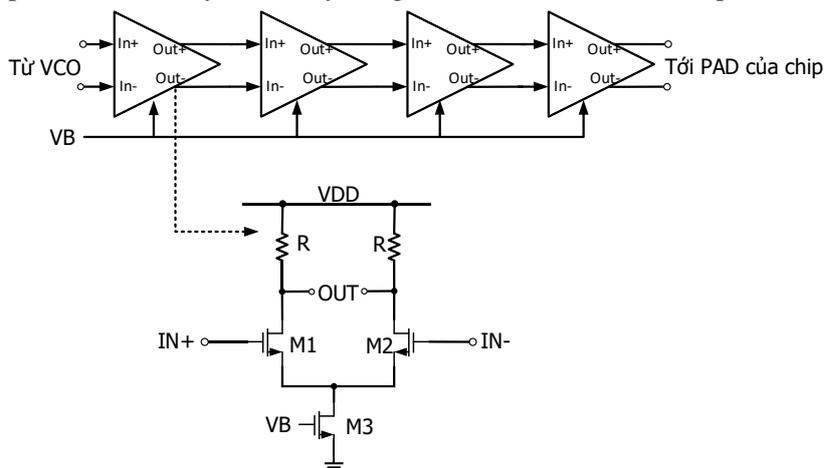
Bảng 1. Các giá trị tham số thiết kế cho mạch VCO

M1N (W/L)*	2 μ m/180nm	M1P (W/L)	5 μ m/180nm
M2N (W/L)	1 μ m/180nm	M3P (W/L)	10 μ m/180nm
M3N (W/L)	5 μ m/180nm	M4P (W/L)	8 μ m/180nm
M4N (W/L)	4 μ m/180nm	M5P (W/L)	16 μ m/180nm
M5N (W/L)	8 μ m/180nm		

*W/L là kích thước chiều rộng/chiều dài của bóng bán dẫn

2.2.2. Bộ đệm đầu ra

Để đưa tín hiệu từ đầu ra mạch lõi VCO đến các chân đầu ra của chip thì một bộ đệm đầu ra là cần thiết [1]. Cấu trúc của bộ đệm và thực hiện mạch chi tiết của nó được thể hiện như trên Hình 6. Bộ đệm được thiết kế theo kiến trúc vi sai để cực tiểu ảnh hưởng của tạp âm nguồn cung cấp và đảm bảo hoạt động tốc độ cao cho mạch (tần số hoạt động cao). Bên cạnh đó, bộ đệm đầu ra được thiết kế gồm 4 tầng để đảm bảo khả năng điều khiển tải nặng ở đầu ra cũng như chống lại ảnh hưởng của tụ điện ký sinh lớn tại các chân đầu ra trên chip. Điện trở ở tầng bộ đệm cuối cùng được thiết kế có giá trị 50 Ω để đảm bảo khả năng phối hợp trở kháng cho mạch VCO. Thiết kế bộ đệm đầu ra phải đảm bảo duy trì độ đầy xung của tần số đầu ra VCO xấp xỉ 50%.

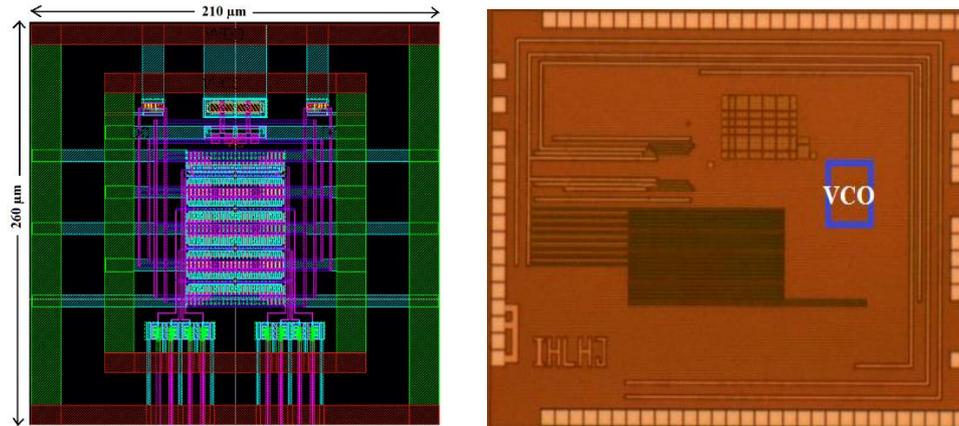


Hình 6. Sơ đồ khối và mạch thực hiện của bộ đệm đầu ra

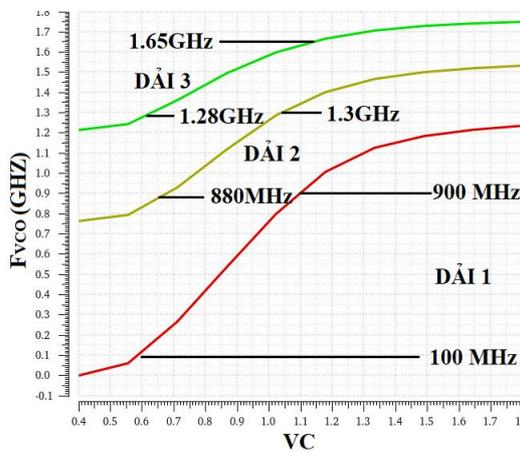
3. Kết quả mô phỏng và đo

Mạch VCO dải rộng đề xuất được thiết kế, chế tạo trên công nghệ CMOS 180 nm, sử dụng phần mềm thiết kế chip chuyên dụng Cadence [17]. Layout của mạch lõi VCO và ảnh của chip được thể hiện như trên Hình 7. Mạch VCO chiếm diện tích (210 x 260) μm^2 , tiêu thụ dòng 1,55 mA và 2,8 mW công suất tại tần số 1,65 GHz (không bao gồm bộ đệm đầu ra) với điện áp nguồn cung cấp 1,8 V.

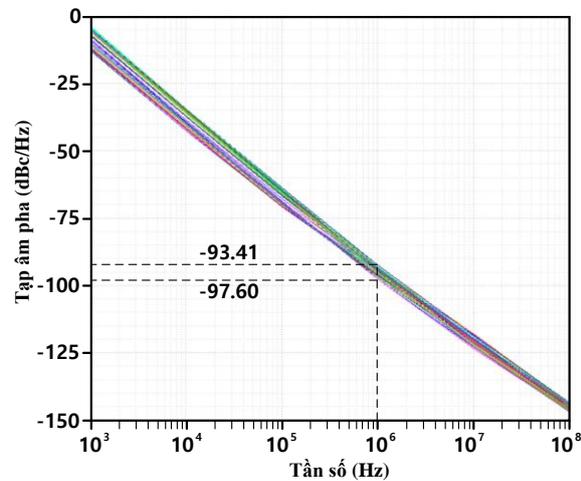
Hình 8 thể hiện kết quả mô phỏng sau layout của mạch VCO đề xuất. Mạch VCO có dải tần số điều chỉnh rộng từ 100 MHz đến 1,65 GHz (177%). Hoạt động của mạch VCO được chia làm 3 dải tần số: dải 1 từ 100 MHz đến 900 MHz, dải 2 từ 880 MHz đến 1,3 GHz, dải 3 từ 1,28 GHz đến 1,65 GHz. Trong đó K_{VCO} đạt được lần lượt là 1,6 GHz/V, 1,05 GHz/V và 698 MHz/V. Các dải tần số của VCO có một khoảng trùng lặp 20 MHz để đảm bảo hoạt động liên tục trong cả dải tần cho VCO. Kết quả mô phỏng cho thấy, bằng kỹ thuật chia nhỏ dải tần sử dụng các bit điều khiển số, mạch VCO đề xuất đạt được đồng thời khoảng điều chỉnh rộng và hệ số khuếch đại nhỏ.



Hình 7. Layout và ảnh chip của mạch VCO đề xuất



Hình 8. Kết quả mô phỏng 3 dải tần số của mạch VCO đề xuất

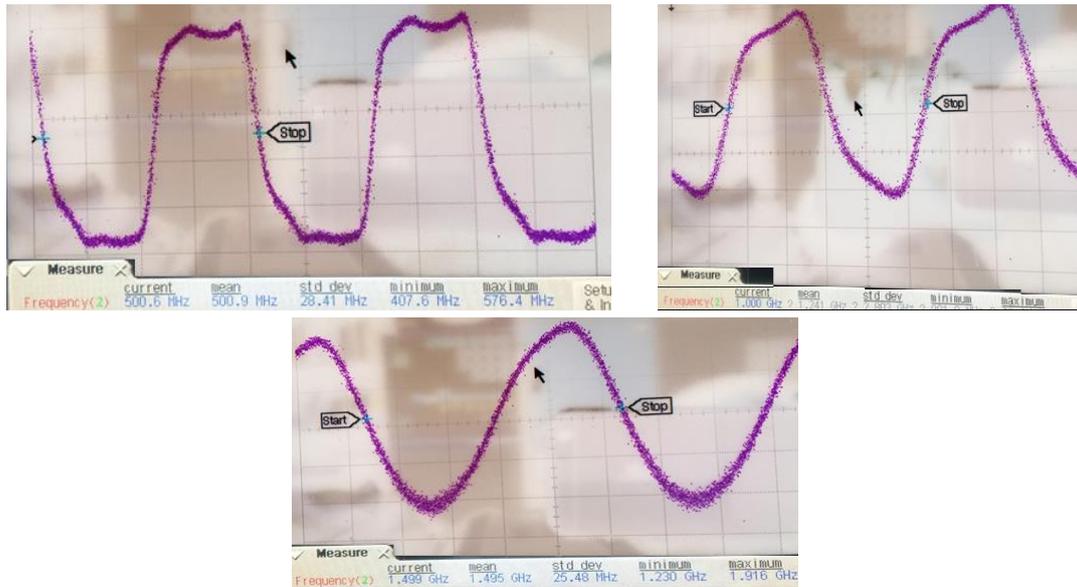


Hình 9. Kết quả mô phỏng sau layout tap âm pha của mạch VCO đề xuất

Hình 9 thể hiện các đường cong tap âm pha mô phỏng sau layout của mạch VCO. Mạch VCO dải rộng đề xuất có chất lượng tap âm pha tốt, đạt được giá trị từ -93,41 đến -97,60 dBc/Hz tại tần số dịch 1 MHz so với tần số hoạt động. Điều này đạt được dựa trên việc thiết kế cẩn thận mạch lõi VCO và sử dụng kiến trúc vi sai cho mạch VCO. Hình 10 thể hiện kết quả đo dạng sóng đầu ra của mạch VCO trong 3 dải tần số khác nhau, 500 MHz trong dải 1, 1 GHz trong dải 2 và 1,5 GHz trong dải 3. Dạng sóng đầu ra của VCO có độ đầy xung xấp xỉ 50% như mong đợi.

Để đánh giá chất lượng tổng thể của mạch VCO, tham số chất lượng ký hiệu là FOM được tính theo công thức (2) [15] được sử dụng. Trong đó, $L\{f_{offset}\}$ là tap âm pha của VCO tại tần số dịch f_{offset} , f_{osc} là tần số hoạt động và P_{diss} là công suất tiêu thụ của VCO. FOM của mạch VCO đề xuất tại tần số cực đại 1,65 GHz là -157,48 dBc/Hz.

$$FOM_{dB} = L\{f_{offset}\} - 20\log\left(\frac{f_{osc}}{f_{offset}}\right) + 10\log\left(\frac{P_{diss}}{1mW}\right) \quad (2)$$



Hình 10. Kết quả đo dạng sóng của VCO tại 3 tần số trong 3 dải

Bảng 2 tổng kết và so sánh chất lượng của mạch VCO đề xuất với các nghiên cứu trước. Mạch VCO đề xuất đạt được khoảng điều chỉnh tần số rộng nhất (177%), có K_{VCO} nhỏ hơn so với mạch VCO sử dụng cùng giải pháp chia nhỏ dải tần trong [15]. Đồng thời, mạch VCO có công suất tiêu thụ thấp và diện tích chiếm nhỏ với chất lượng tạp âm pha và FOM so sánh được với các nghiên cứu khác. Hạn chế của kết quả nghiên cứu là bị giới hạn các kết quả đo do mạch VCO được thiết kế, chế tạo nằm trong mạch khôi phục dữ liệu và xung đồng hồ.

Bảng 2. Tổng kết và so sánh chất lượng của mạch VCO

	[7]	[10]	[15]	Đề xuất
Công nghệ (nm)	180	180	65	180
Nguồn cấp (V)	1,8	1,8	1	1,8
Kiến trúc	RO	RO	RO	RO
Khoảng tần số (GHz)	2,2-2,7 (20,4%)	0,59-1,27 (73,1%)	2,4-11 (128%)	0,1-1,65 (177%)
$K_{VCO, max}$	N/A	N/A	6,3 GHz/V	1,6 GHz/V
PN@1MHz (dBc/Hz)	-92,83	-109	-90,08	-97,6
FOM@1MHz (dBc/Hz)	-150,7	-153,8	-157,34	-157,48
Công suất tiêu thụ (mW)	10,1	14,4	20	2,8
Diện tích lõi VCO	N/A	0,059 mm ²	N/A	0,0546 mm ²

4. Kết luận

Bài báo này trình bày về thiết kế mạch VCO có dải điều chỉnh tần số rộng ứng dụng cho các mạch khôi phục dữ liệu và xung đồng hồ trong các hệ thống thông tin dữ liệu nối tiếp. Kỹ thuật chia nhỏ dải tần số của VCO bằng các bit điều khiển số được đề xuất. Cùng với đó, thiết kế bộ đệm đầu ra chế độ dòng cũng được giới thiệu. Mạch VCO đề xuất đạt được đồng thời dải tần số hoạt động rộng và hệ số khuếch đại nhỏ. Đồng thời mạch VCO có chất lượng tạp âm pha tốt, công suất tiêu thụ thấp và diện tích chiếm nhỏ. Hướng phát triển tiếp theo của nghiên cứu là tiếp tục cải thiện chất lượng tạp âm pha của mạch VCO kiến trúc vòng, thiết kế mạch VCO trên công nghệ mới hơn để đạt được dải tần số rộng và cao hơn.

TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] B. Razavi, *Design of Integrated Circuits for Optical Communication Systems*. John Wiley & Sons, Hoboken, New Jersey, 2012.
- [2] B. Razavi and Behzad, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, New York, 2017.
- [3] S. Salem, M. Tajabadi, and M. Saneei, "The Design and Analysis of Dual Control Voltages Delay Cell for Low Power and Wide Tuning Range Ring Oscillators in 65nm CMOS Technology for CDR Applications," *J. Electronics and Communications (AEÜ)*, vol. 82, pp. 406-412, Dec. 2017.
- [4] K. Peepra and R. C. Gurjar, "A Linear Current Starved Voltage Controlled Ring Oscillator With Wide Tuning Range Using 180nm CMOS Technology," in *International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering - (ICRIEECE)*, India, Feb. 2020, doi: 10.1109/ICRIEECE44171.2018.9008640.
- [5] S. Suman, K. G. Sharma, and P. K. Ghosh, "Analysis and Design of Current Starved Ring VCO," in *International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, India, Nov. 2016, doi: 10.1109/ICEEOT.2016.7755299.
- [6] W. C. Lai, "Chip Design of a High Output Quadrature Phase Ring Voltage Controlled Oscillator with Noise Reduction for Communication Applications," in *3rd IEEE International Conference on Knowledge Innovation and Invention*, Taiwan, Jan. 2021, doi: 10.1109/ICKII50300.2020.9318777.
- [7] X. Gui and M. M. Green, "Design of CML Ring Oscillators with Low Supply Sensitivity," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 60, no. 7, pp. 1753–1763, Jul. 2013.
- [8] I. Sun, J. Yin, P. Mak, and R. P. Martins, "A Comparative Study of 8-Phase Feedforward-Coupling Ring VCOs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 4, pp. 527-531, April, 2019.
- [9] D. Ito, T. Tanaka, M. Nakamura, and K. Kishine, "A wideband differential VCO based on double-short-path loop architecture," in *International SoC Design Conference (ISOCC)*, Korea, April, 2020, doi: 10.1109/ISOCC47750.2019.9078464.
- [10] N. Ghaderi, M. Zhang, D. Yu, and L. Lorenzelli, "A New Low Power Ring Voltage-Controlled Oscillator with a Wide Tuning Range," in *International Electrical Engineering Congress (iEECON2021)*, Thailand, March, 2021, doi: 10.1109/iEECON51072.2021.9440360.
- [11] H. T. Nguyen, M. H. Pham, T. L. Le, T. T. Le, and T. Q. Nguyen, "Design wide-band reference-less continuous-rate Clock and Data recovery circuit using 180 nm CMOS process," *Journal of Military Science and Technology*, vol. 63, pp. 46-58, Oct. 2019.
- [12] R. Yang, K. Chao, S. Hwu, C. Liang, and S. Liu, "A 155.52 Mbps-3.125 Gbps Continuous-Rate Clock-and-Data-Recovery Circuit," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1380-1390, Jun. 2006.
- [13] J. Jalil, M. B. I. Reaz, and M. A. M. Ali, "CMOS Differential Ring Oscillators: Review of the Performance of CMOS ROs in Communication Systems," *IEEE Microwave Magazine*, vol. 14, no. 5, pp. 97-109, 2013.
- [14] A. A. Abidi, "Phase noise and jitter in CMOS ring oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803-1816, July, 2006.
- [15] D. Samaras and F. Yu, "High performance, wide tuning range 65nm CMOS tunable Voltage Controlled Ring Oscillator up to 11 GHz," in *9th International Conference on Modern Circuits and Systems Technologies (MOCASST)*, Germany, Sep. 2020, doi: 10.1109/MOCASST49295.2020.9200291.
- [16] J. S. Gaggatur, "A 1.8 - 6.3 GHz Quadrature Ring VCO-based Fast-settling PLL for Wireline I/O in 55nm CMOS," in *34th International Conference on VLSI Design (VLSID)*, India, April, 2021, doi: 10.1109/VLSID51830.2021.00055.
- [17] A. Martin, *Cadence Design Environment*, New Mexico State University, Oct. 2002.