

THIẾT KẾ MẠCH ỔN ÁP TUYẾN TÍNH ĐẦU VÀO DẢI RỘNG SỬ DỤNG CÔNG NGHỆ CMOS 90 nm

DESIGN OF A WIDE-INPUT-RANGE LINEAR VOLTAGE REGULATOR USING 90 nm CMOS TECHNOLOGY

Vũ Ngọc Dân, Nguyễn Cao Chí Hoàng

Khoa Điện tử và Kỹ thuật máy tính, Trường Đại học Kinh tế - Kỹ thuật Công nghiệp

Đến Tòa soạn ngày 01/10/2025, chấp nhận đăng ngày 04/11/2025

Tóm tắt: Nghiên cứu này trình bày thiết kế một mạch ổn áp tuyến tính điện áp rơi thấp sử dụng công nghệ CMOS 90 nm, nhằm đáp ứng nhu cầu về nguồn cung cấp điện ổn định trên dải điện áp đầu vào rộng cho các ứng dụng di động. Kiến trúc mạch được đề xuất nhằm tối ưu hóa các thông số để đạt hiệu suất cao, ổn định điện áp đầu ra khi dải điện áp đầu vào thay đổi rộng và tiêu thụ điện năng thấp. Các kết quả mô phỏng đã chứng minh hiệu quả của mạch thiết kế. Cụ thể, mạch có thể duy trì điện áp đầu ra ổn định trong dải điện áp đầu vào từ 1,9 đến 20,5 V. Mạch đạt được điện áp rơi thấp chỉ 300 mV và thể hiện khả năng đáp ứng nhanh với sự thay đổi của tải, đồng thời duy trì dòng điện tĩnh ở mức thấp. Những đặc tính này cho thấy mới được đề xuất này phù hợp cho các hệ thống yêu cầu hiệu quả năng lượng cao và hoạt động tin cậy trong các điều kiện nguồn đầu vào biến đổi.

Từ khóa: Điện áp đầu vào dải rộng, mạch ổn áp tuyến tính điện áp rơi thấp, công nghệ CMOS 90 nm.

Abstract: This study presents the design of a low-dropout linear voltage regulator using 90nm CMOS technology. The design addresses the increasing demand for stable and efficient power supplies capable of operating across a wide input voltage range for mobile applications. The proposed circuit architecture is optimized to achieve high efficiency, robust output voltage stability under wide input voltage variation, and low power consumption. Simulation results validate the effectiveness of the designed circuit. Specifically, the circuit successfully maintains a stable output voltage over a wide input voltage range of 1,9 to 20,5 V. It achieves a low dropout voltage of only 300 mV and demonstrates a fast load transient response while maintaining low quiescent current. These newly found characteristics are suitable for the high efficiency and reliable operation of the system required under variable input conditions.

Keywords: Wide range input voltage, low-dropout linear voltage regulator, 90 nm CMOS technology.

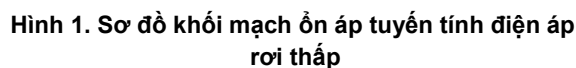
1. ĐẶT VẤN ĐỀ

Trong kỷ nguyên của thiết bị điện tử di động và cầm tay, nhu cầu về các thiết bị nhỏ gọn, nhẹ và hoạt động hiệu quả có khả năng cung cấp điện áp ổn định từ các nguồn đầu vào không ổn định ngày càng tăng. Mạch ổn áp tuyến tính điện áp rơi thấp là một giải pháp quan trọng nhờ thiết kế đơn giản, chi phí thấp và khả năng cung cấp điện áp đầu ra ổn định,

ít nhiễu. Tuy nhiên, các mạch ổn áp tuyến tính điện áp rơi thấp truyền thống với dải đầu vào hạn chế không đáp ứng được yêu cầu của các ứng dụng hiện đại như thiết bị di động, ô tô và năng lượng tái tạo, nơi nguồn điện áp thường xuyên dao động [1, 2]. Các nghiên cứu gần đây về mạch ổn áp tuyến tính điện áp rơi thấp tập trung vào việc tối ưu hóa hiệu suất, giảm dòng điện tĩnh, nâng cao khả năng đáp ứng

2. THIẾT KẾ MẠCH ỔN ÁP TUYẾN TÍNH ĐIỆN ÁP RƠI THẤP

Như Hình 1 ta thấy, mạch ổn áp tuyến tính điện áp rơi thấp gồm các thành phần cơ bản đó là một mạch tạo điện áp tham chiếu để cung cấp điện áp chính xác, bộ khuếch đại lỗi để điều khiển vòng phản hồi âm để so sánh với điện áp tham chiếu, điện trở phản hồi để xác định điện áp đầu ra, và một tụ điện đầu ra để ổn định [3].



Khi dòng điện tải tăng, V_{OUT} có xu hướng giảm. Sự sụt giảm này được phát hiện bởi vòng phản hồi, khiến EA tăng điện áp điều khiển. Điều này làm tăng độ dẫn điện của transistor công suất, cho phép dòng điện lớn hơn chảy đến tải, bù đắp sự sụt giảm và khôi phục V_{OUT} về giá trị mong muốn. Nhờ vậy, vòng phản hồi âm liên tục điều chỉnh dòng điện để đảm bảo V_{OUT} luôn ổn định.

Mạch tạo điện áp tham chiếu (BGR) bao gồm ba thành phần chính: mạch lõi, mạch opamp và mạch khởi động [4-7].

a, Mạch lõi là thành phần cốt lõi của mạch BGR, có chức năng tạo ra điện áp tham chiếu bằng cách kết hợp hai thành phần điện áp có đặc tính bù nhiệt độ. Cụ thể, điện áp base-emitter (V_{BE}) của transistor lưỡng cực có hệ số nhiệt độ âm (CTAT) trong khi sự khác biệt điện áp base-emitter (ΔV_{BE}) của hai transistor hoạt động ở mật độ dòng điện khác nhau tạo ra thành phần có hệ số nhiệt độ dương (PTAT). Thông qua một mạch hồi tiếp âm, thường là một opamp, các thành phần này được kết hợp theo một tỷ lệ nhất định để triệt tiêu ảnh hưởng của nhiệt độ, từ đó tạo ra một điện áp tham chiếu ổn định, ít phụ thuộc vào sự thay đổi của môi trường.



39

$$V_{REF} = I_O \cdot R_3 = \left(\frac{V_{BE1}}{R_1} + \frac{\Delta V_{BE}}{R_{PTAT}} \right) R_3 \quad (1)$$

$$= \frac{R_3}{R_1} \cdot \left(V_{BE1} + \frac{R_1}{R_{PTAT}} \cdot \Delta V_{BE} \right)$$

$$\frac{\partial V_{REF}}{\partial T} = \frac{R_3}{R_1} \cdot \frac{\partial V_{BE}}{\partial T} + \frac{R_3}{R_{PTAT}} \cdot \frac{\partial \Delta V_{BE}}{\partial T}$$

V_{REF} không phụ thuộc vào nhiệt độ nên suy ra

$$0 = \frac{R_3}{R_1} \cdot \frac{\partial V_{BE}}{\partial T} + \frac{R_3}{R_{PTAT}} \cdot \frac{\partial \Delta V_{BE}}{\partial T} \quad (2)$$

$$\frac{\partial V_{BE}}{\partial T} \approx -2,012 \text{ mV/C}; \quad \frac{\partial \Delta V_{BE}}{\partial T} \approx 180,97 \text{ uV/C}$$
 và

$$\Delta V_{BE} \approx 53,77 \text{ mV}$$

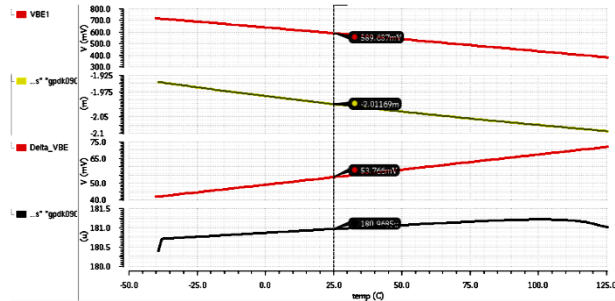
$$R_{PTAT} = \frac{\Delta V_{BE}}{I_{BIAS}} = \frac{53,77 \text{ mV}}{2 \text{ uA}} = 26,885 \text{ k}$$

Thay kết quả vào (2) ta có:

$$R_1 = R_2 = R_3 = R_{PTAT} \cdot 11,124$$

$$= 26,885 \text{ k} \cdot 11,124 = 299,07 \text{ k}$$

Mô phỏng tính toán vi phân của điện áp V_{BE} và ΔV_{BE} là đại diện của hai thành phần CTAT và PTAT với điều kiện dòng điện $I_1 = I_2 = 2 \text{ uA}$. Kết quả như Hình 3.



Hình 3. Kết quả mô phỏng cho các giá trị V_{BE} , ΔV_{BE} và vi phân của chúng

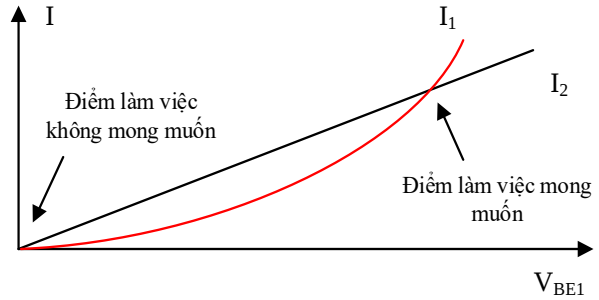
b, Mạch opamp

Để đơn giản hóa, nhóm tác giả sử dụng mạch khuếch đại hai tầng trong phần 1 làm mạch opamp trong mạch BGR. Thông số kỹ thuật đã được trình bày trong phần trên.

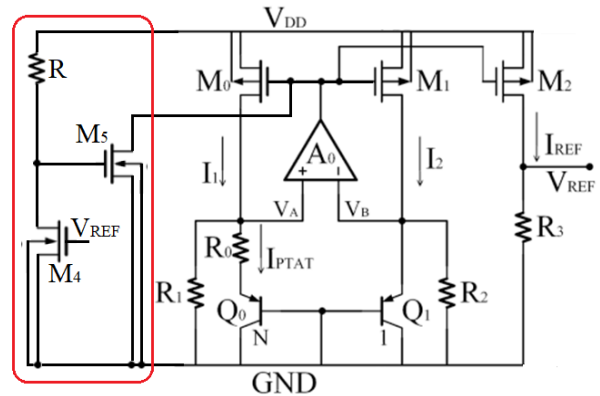
c, Mạch khởi động

Mạch BGR có hai điểm hoạt động: điểm “0” không mong muốn, nơi các dòng điện bằng không, và một điểm hoạt động chính xác khác không, nơi các dòng điện PTAT và CTAT

bằng nhau. Để đảm bảo mạch BGR hoạt động đúng cách, một mạch khởi động được sử dụng để đưa mạch từ điểm “0” đến điểm hoạt động mong muốn. Mạch khởi động này rất quan trọng vì nó thiết lập điều kiện hoạt động ban đầu mà không gây ảnh hưởng đến hoạt động ổn định của mạch lõi BGR sau khi đã khởi động thành công [8-10].



Hình 4. Hai điểm hoạt động trong cấu trúc mạch BGR



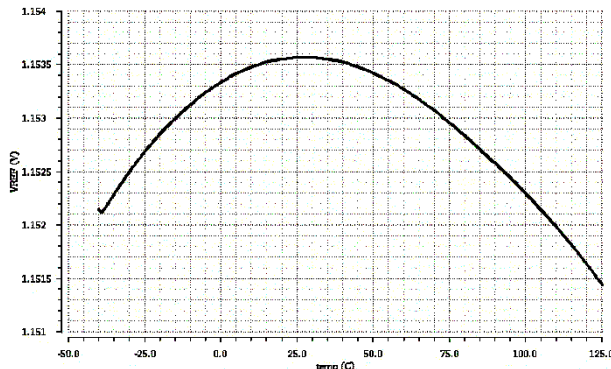
Hình 5. Sơ đồ mạch khởi động và mạch BGR tổng quát

Bảng 1. Tổng hợp các tham số cho mạch BGR

Tham số	Giá trị
$\frac{\partial V_{BE}}{\partial T}$	$\approx -2,012 \text{ mV/C}$
$\frac{\partial \Delta V_{BE}}{\partial T}$	$\approx 180,97 \text{ uV/C}$
ΔV_{BE}	$\approx 53,77 \text{ mV}$
R_{PTAT}	$R_{PTAT} = 26,885 \text{ k}$
R_1	$R_1 = 299,07 \text{ k}$
R_2	$R_2 = 299,07 \text{ k}$
R_3	$R_3 = 299,07 \text{ k}$

d, Kết quả mô phỏng

Kết quả mô phỏng mạch BGR được thể hiện trên hình 6 cho thấy điện áp tham chiếu đầu ra đạt giá trị cao nhất là 1,154 V, và thấp nhất là 1,151 V với điện áp cung cấp cho mạch là 2 V. Như vậy độ chênh lệch giữa điện áp cực đại và cực tiểu trong dải nhiệt độ -40°C đến 125°C chỉ xấp xỉ khoảng 2,1 mV.



Hình 6. Kết quả mô phỏng mạch tạo điện áp tham chiếu

Tổng hợp kết quả cho mạch BGR được trình bày trong Bảng 2.

Bảng 2. Tổng hợp kết quả mô phỏng mạch BGR

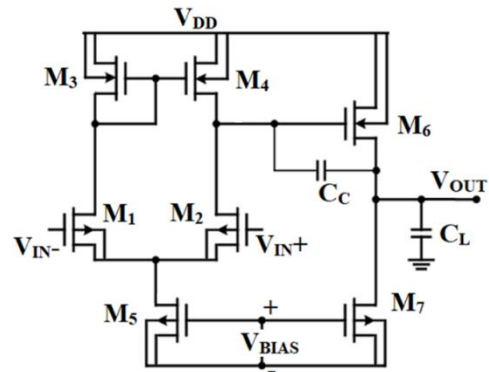
Tham số	Kết quả đạt được
Khoảng nhiệt độ	$-40 \div 125^{\circ}\text{C}$
Điện áp tham chiếu (25°C)	$V_{\text{REF}} = 1,154 \text{ V}$
Điện áp tham chiếu nhỏ nhất	$V_{\text{min}} = 1,151 \text{ V}$
Độ lệch điện áp	$\Delta V = 2,098 \text{ mV}$

2.3. Thiết kế mạch khuếch đại lỗi

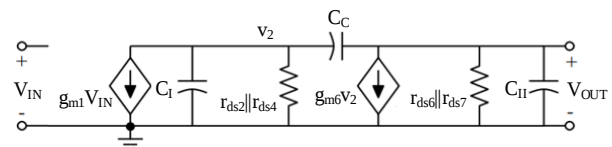
Hình 7 cho thấy mạch khuếch đại lỗi (EA) được thiết kế với cấu trúc hai tầng chính [1]. Tầng đầu tiên là một cặp vi sai mắc theo kiểu cascode (gồm các transistor M_1 , M_2 , M_3 , và M_4), nhằm tăng trở kháng đầu ra và nâng cao hệ số khuếch đại điện áp. Để khắc phục hạn chế về biên độ dao động điện áp của tầng cascode, một tầng thứ hai được thêm vào. Tầng này sử dụng cấu trúc common-source, một cấu trúc phổ biến có khả năng cung cấp biên độ đầu ra lớn. Ngoài ra, một tụ bù Miller

(C_C) được tích hợp để đảm bảo tính ổn định của hệ thống phản hồi, đặc biệt ở các tần số khác nhau [4-7].

Giả sử R_I , C_I lần lượt là điện trở và điện dung tại ngõ ra của tầng thứ nhất và R_{II} , C_{II} lần lượt là điện trở và điện dung tại ngõ ra của tầng thứ hai. Mô hình tín hiệu nhỏ của mạch khuếch đại lỗi được thể hiện trong Hình 8.



Hình 7. Sơ đồ nguyên lý mạch khuếch đại lỗi



Hình 8. Mô hình tín hiệu nhỏ mạch khuếch đại lỗi

Bảng 3 trình bày các yêu cầu thiết kế cho mạch EA hai tầng.

Bảng 3. Yêu cầu thiết kế của mạch khuếch đại lỗi

Tham số	Yêu cầu thiết kế
Điện áp cung cấp	2 V
Thư viện công nghệ	gpd90
Công suất tiêu thụ	$< 200 \mu\text{W}$
Độ khuếch đại một chiều	$AV > 35 \text{ dB}$
Băng thông khuếch đại	$GBW \geq 4 \text{ MHz}$
Tốc độ chuyển mạch tín hiệu	$SR \geq 3 \text{ V}/\mu\text{s}$
Dải điện áp chế độ chung đầu vào	$0,85\text{V} \leq \text{ICMR} \leq 1,9 \text{ V}$
Dải điện áp chế độ chung đầu ra	$0,3\text{V} \leq \text{OCMR} \leq 1,9 \text{ V}$
Phase Margin	$PM \geq 60^{\circ}$

▪ Quá trình tính toán được thực hiện dựa trên mô hình tín hiệu nhỏ của mạch, xác định các điểm cực (p_1, p_2) và điểm không (ω_z) như sau [8-10]:

$$p_1 = \frac{-1}{R_I C_I} = \frac{-1}{R_I C_C \cdot g_{m6} R_{II}} \quad (3)$$

$$p_2 = \frac{-1}{R_{II} C_{II}} = \frac{-g_{m6}}{C_L} \quad (4)$$

$$\omega_z = \frac{g_{m6}}{C_C} \quad (5)$$

Độ khuếch đại toàn mạch (A_V) được tính bằng tích của độ xuyên dẫn tương đương (g_m) của các transistor và trở kháng đầu ra của các tầng (R_I, R_{II}).

$$A_V = (g_{m1} R_I) \cdot (g_{m6} R_{II}) \quad (6)$$

▪ Băng thông khuếch đại (GBW) được xác định là tích của độ khuếch đại và băng thông của bộ khuếch đại, là một giá trị hằng số trên biểu đồ Bode.

$$GBW = A_V \cdot |f_{p1}| = \frac{g_{m1}}{2\pi C_C} \quad (7)$$

▪ Thiết kế đảm bảo $PM \geq 60^\circ$:

$$180^\circ - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) - \tan^{-1}\left(\frac{\omega}{z}\right) \geq 60^\circ$$

Đề $\omega = GBW$ và giả sử $z \geq 8 \cdot GBW$, khi đó ta có:

$$180^\circ - \tan^{-1}\left(\frac{GBW}{|p_1|}\right) - \tan^{-1}\left(\frac{GBW}{|p_2|}\right) - \tan^{-1}\left(\frac{GBW}{z}\right) \geq 60^\circ$$

▪ Thiết kế tốc độ chuyển mạch (SR) phụ thuộc vào tốc độ biến thiên điện áp trên tụ Miller.

$$SR = \frac{I_{D5}}{C_C} \quad (8)$$

$$SR \geq 3 \text{ V}/\mu\text{s} \rightarrow I_{D5} \geq C_C \cdot 3 \text{ V}/\mu\text{s} = 9 \text{ uA}$$

→ Chọn $I_{D5} = 10 \text{ uA}$

▪ Thiết kế M_1, M_2

$$\text{Yêu cầu } GBW = \frac{g_{m1}}{2\pi C_C} \geq 4 \text{ MHz}$$

$$\text{Suy ra } g_{m1} \geq 4 \cdot 10^6 \cdot 2\pi \cdot C_C = 75,4 \text{ uS}$$

→ Chọn $g_{m1} = 82 \text{ uS}$

$$\text{Từ công thức } g_{m1} = \sqrt{2I_{D1} \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)_1} \quad (9)$$

$$\text{suy ra } \left(\frac{W}{L}\right)_{1,2} = \frac{(g_{m1})^2}{2I_{D1} \mu_n C_{ox}} = \frac{(82 \text{ u})^2}{10 \text{ u} \cdot 140 \text{ u}} = 4,8$$

$$\text{Chọn } \left(\frac{W}{L}\right)_{1,2} = 7$$

▪ Thiết kế cho dải điện áp đầu vào chế độ chung ICMR(+)

$$ICMR(+) \leq V_{DD} - \sqrt{\frac{2I_{D3}}{\beta}} - |V_{T3}|_{\max} + V_{T1\min}$$

$$\frac{2I_{D3}}{\beta} = [V_{DD} - ICMR(+)_{\max} - |V_{T3}|_{\max}]^2$$

$$\frac{2I_{D3}}{K_p \cdot \left(\frac{W}{L}\right)_3} = [V_{DD} - ICMR(+)_{\max} - |V_{T3}|_{\max} + V_{T1\min}]^2 \quad (10)$$

$$\left(\frac{W}{L}\right)_3 = \frac{2I_D}{K_p \cdot [V_{DD} - ICMR(+)_{\max} - |V_{T3}|_{\max} + V_{T1\min}]^2} \quad (11)$$

$$\left(\frac{W}{L}\right)_3 = \frac{10 \text{ u}}{80 \text{ u} \cdot (2 - 1,9 - 0,41 + 0,53)^2} = 2,58$$

$$\text{Chọn } \left(\frac{W}{L}\right)_3 = 3, \left(\frac{W}{L}\right)_4 = 3$$

▪ Thiết kế cho dải điện áp đầu vào chế độ chung ICMR(-)

$$ICMR(-) = V_{GS1\max} + V_{DSAT5} \quad (12)$$

$$ICMR(-) = \left(\sqrt{\frac{2I_{D1}}{\beta}} + |V_{T1}|\right)_{\max} + V_{DSAT5}$$

$$V_{DSAT5} = ICMR(-) - \sqrt{\frac{2I_{D1}}{\beta}} - |V_{T1}|_{\max}$$

$$= 0,85 - \sqrt{\frac{10 \text{ u}}{140 \text{ u} \cdot 7}} - 0,56 = 0,2$$

$$\left(\frac{W}{L}\right)_5 = \frac{2I_{D5}}{K_n \cdot (V_{DSAT5})^2} = \frac{2 \cdot 10 \text{ u}}{140 \text{ u} \cdot (0,2)^2} = 3,57$$

$$\text{Chọn } \left(\frac{W}{L}\right)_5 = 3$$

$$g_{m5} = \sqrt{2I_{D5} \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)_5} = 91,65 \text{ uS}$$

▪ Thiết kế cho M_7

Để đảm bảo công suất tiêu thụ mạch, yêu cầu dòng điện trong mạch thấp hơn 100 uA, trong khi đó dòng điện $I_{D5} = 10$ uA. Như vậy ta chọn dòng điện cung cấp cho tầng thứ hai $I_{D6} = I_{D7} = 50$ uA.

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \cdot \frac{I_{D7}}{I_{D5}} = 3.5 = 15$$

▪ Thiết kế cho M_6

Vì $g_{m6} = 8.2. g_{m1}$ mà $g_{m1} = 82$ uS nên suy ra $g_{m1} = 672.4$ uS

$$\left(\frac{W}{L}\right)_6 = \frac{(g_{m6})^2}{2 \cdot K_p \cdot I_{D6}} = \frac{672.4^2}{2.80 \cdot 50} = 56.5$$

Chọn $\left(\frac{W}{L}\right)_6 = 60$

▪ Thiết kế cho dải điện áp chế độ chung đầu ra

$$V_{O,min} = V_{DSAT7} = \sqrt{\frac{2I_7}{K_n \cdot \left(\frac{W}{L}\right)_7}} = \sqrt{\frac{2.50}{140 \cdot 15}}$$

$$\approx 0.22 < 0.3$$

$$V_{O,max} = V_{DD} - V_{DSAT6} = 1.8 - \sqrt{\frac{2I_6}{K_p \cdot \left(\frac{W}{L}\right)_6}}$$

$$= 2 - \sqrt{\frac{2.50}{80 \cdot 60}} \approx 1.86 < 1.9$$

▪ Xác định công suất tiêu thụ của mạch khuếch đại lỗi như sau:

$$P_{dis} = V_{DD} \cdot (I_{D5} + I_{D6}) = 2 \cdot (10 + 50) = 120 \text{ uW}$$

Tổng hợp các thông số cho mạch khuếch đại lỗi được cho trong Bảng 4.

Bảng 4. Thông số mạch khuếch đại lỗi

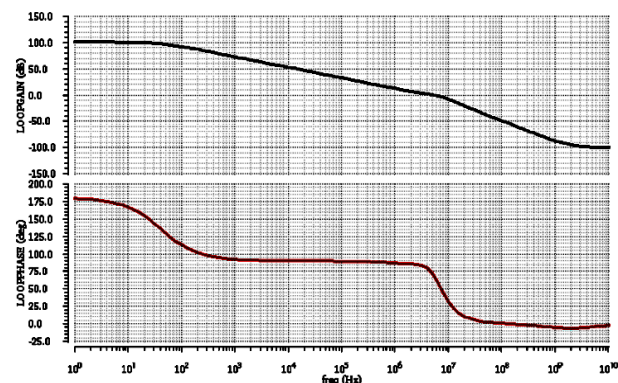
Tham số	Giá trị
M_1	40u/6u
M_2	40u/6u
M_3	30u/10u
M_4	30u/10u
M_5	30u/10u
M_6	120u/2u

Tham số	Giá trị
M_7	150u/10u
C_C	3p

Đưa các thông số vào mô phỏng trên phần mềm Cadence, kết quả cho thấy mạch đã hoàn toàn ổn định và đạt kết quả như yêu cầu.

Bảng 5: Tổng hợp kết quả mô phỏng mạch khuếch đại lỗi trên phần mềm Cadence

Tham số	Kết quả đạt được
Điện áp cung cấp	2 V
Thư viện công nghệ	gpd90
Công suất tiêu thụ	120 μ W
Độ khuếch đại một chiều	$A_v \approx 100.08$ dB
Băng thông khuếch đại	$GBW \approx 5.123$ MHz
Tốc độ chuyển mạch tín hiệu	$SR \approx 3.3$ V/ μ s
Dải điện áp chế độ chung đầu vào	$0.77 \leq ICMR \leq 1.86$ (V)
Dải điện áp chế độ chung đầu ra	$0.16 \leq OCMR \leq 1.9$ (V)
Phase Margin	$PM \approx 71^\circ$



Hình 9. Kết quả mô phỏng cho độ ổn định của hệ thống

Trên biểu đồ Bode (hình 9) ta thấy trong mạch khuếch đại lỗi này, có hệ số khuếch đại một chiều đạt xấp xỉ 100 dB và độ dự trữ pha đạt khoảng 71° .

2.4. Tích hợp toàn mạch và phân tích hiệu suất

Sơ đồ mạch ổn áp tuyến tính đầu vào dải rộng được thể hiện trong Hình 1. Công suất tiêu thụ

của mạch LDO được tính toán dựa theo công thức sau [4-7]:

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + (V_{IN} \times I_q) \quad (13)$$

Hai thành phần ảnh hưởng đến công suất tiêu thụ của mạch có thể điều chỉnh là điện áp rơi trên transistor công suất, được xác định là độ chênh lệch giữa điện áp đầu vào và điện áp đầu ra, và dòng điện tĩnh I_q . Công suất tiêu thụ thấp khi điện áp rơi và dòng điện tĩnh đều đạt giá trị nhỏ. Thông thường điện áp rơi chỉ khoảng 0,1 đến 0,5 V và dòng điện tĩnh khi có tải chỉ rơi vào khoảng microampere. Ngoài ra hiệu suất năng lượng được đưa ra để đánh giá độ hiệu quả của việc chuyển đổi năng lượng từ nguồn cung cấp sang tải, xác định bởi công thức:

$$\text{Hiệu suất năng lượng} = \frac{I_{OUT} V_{OUT}}{(I_{IN} + I_q) V_{IN}} \times 100\% \quad (14)$$

Để có hiệu suất cao, điện áp rơi và dòng điện tĩnh phải được giảm thiểu. Thêm vào đó, sự khác biệt điện áp giữa đầu vào và đầu ra phải được tối thiểu hóa, vì sự tiêu tán công suất của mạch ảnh hưởng đến hiệu suất. Sự khác biệt điện áp đầu vào/đầu ra là một yếu tố nội tại quyết định hiệu suất, bất kể điều kiện tải.

Nếu điện áp đầu vào và điện áp đầu ra được xác định trước trong hệ thống, hiệu suất dòng điện sẽ được tính theo, hiệu suất dòng điện được xác định như sau:

$$\text{Hiệu suất dòng điện} = \frac{I_{OUT}}{I_{IN} + I_q} \times 100\% \quad (15)$$

Để đạt được hiệu suất dòng điện cao nhất, việc có giá trị I_q thấp nhất có thể là cực kỳ quan trọng để tối ưu hóa mức tiêu thụ điện năng. Trên cơ sở đó, bài báo này đề xuất điện áp rơi trên transistor công suất đạt khoảng 300 mV và dòng điện tĩnh nhỏ hơn 20 uA.

Yêu cầu thiết kế mạch ổn áp tuyến tính đầu vào dải rộng như bảng sau:

Bảng 6. Yêu cầu thiết kế mạch ổn áp tuyến tính điện áp rơi thấp

Tham số	Yêu cầu thiết kế
Điện áp đầu ra	$V_{OUT} = 1,7 \text{ V}$
Điện áp rơi	$V_{drop} = 300 \text{ mV}$
Dòng tải	$I_{load} = 10 \text{ mA}$
Dòng qua hệ thống hồi tiếp	$I_{FB} = 3 \text{ uA}$
Điện dung tải	200 pF
Sai số điện áp đầu ra	$\leq 1,5\%$
ESR	100 mΩ
Nhiệt độ	25°C
I_{FB}	3 uA

▪ Xác định điện trở hồi tiếp R_{F1} và R_{F2} dựa vào mối liên hệ giữa điện áp đầu ra V_{OUT} và điện áp tham chiếu V_{REF} như sau:

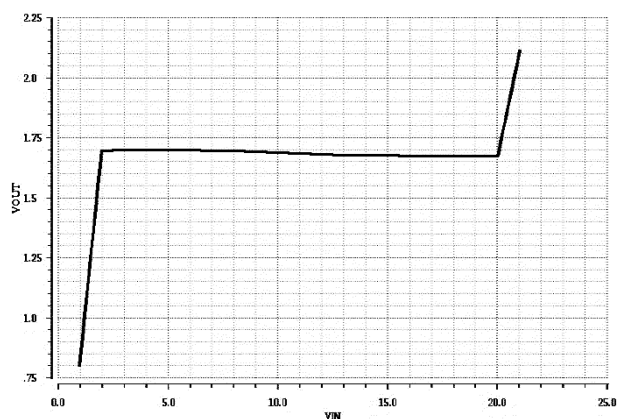
$$R_{F1} + R_{F2} = \frac{V_{OUT}}{I_{FB}} = \frac{1,7}{3 \cdot 10^{-6}} \approx 566,67 \text{ k}\Omega \quad (16)$$

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_{F1}}{R_{F2}}\right) \quad (17)$$

Suy ra $R_{F1} = 182,147 \text{ k}\Omega$ và $R_{F2} = 384,52 \text{ k}\Omega$.

3. KẾT QUẢ - THẢO LUẬN

Hình 10 trình bày đồ thị Bode thu được từ kết quả mô phỏng mạch ổn áp tuyến tính điện áp rơi thấp được đề xuất trong nghiên cứu này.



Hình 10. Kết quả mô phỏng mạch ổn áp tuyến tính điện áp rơi thấp

Trong đó điện áp đầu ra $V_{OUT} = 1,7 \text{ V}$ tương ứng với dải điện áp đầu vào $1,9\text{V} \leq V_{IN} \leq 20,5 \text{ V}$, tức mạch hoạt động ổn định ở dải điện

áp đầu vào đạt 19,6 V. Khi $V_{IN} > 20,5$ V, transistor công suất đi vào vùng đánh thủng, khiến mạch mất khả năng ổn áp và V_{OUT} tăng vọt.

Bảng 7. So sánh kết quả mạch ổn áp tuyến tính điện áp rơi thấp trong bài báo với mạch trước đây [1]

	Trong nghiên cứu trước đây	Trong bài báo này
Công nghệ	180 nm	90 nm
Dải điện áp đầu vào	3,6÷13,6 V	1,9÷20,5 V
Điện áp đầu ra	3,3 V	1,7 V
Điện áp rơi	300 mV	300 mV
Công suất tiêu thụ	472 μ W	3,048 mW

Tóm lại, các kết quả thực nghiệm đã chứng minh hiệu suất vượt trội của mạch. Với điện áp rơi chỉ khoảng 300 mV và dòng điện tĩnh tiêu thụ rất nhỏ, xấp xỉ 19,49 μ A, mạch vẫn duy trì dòng điện đầu vào và đầu ra gần như tương đương, lần lượt là 10,02 mA và 9,997 mA. Điều này dẫn đến công suất tiêu thụ của mạch chỉ khoảng 3,048 mW, một con số rất thấp.

Đáng chú ý hơn, hiệu suất năng lượng đạt đến 84,81% và hiệu suất dòng điện đạt mức ấn

tượng 99,77%. Những số liệu này cho thấy mạch hoạt động hiệu quả, tổn hao năng lượng thấp và khả năng duy trì dòng điện ổn định giữa đầu vào và đầu ra.

4. KẾT LUẬN

Bài báo này đã trình bày chi tiết quá trình thiết kế mạch ổn áp tuyến tính điện áp rơi thấp sử dụng công nghệ CMOS 90 nm, đặc biệt tập trung vào việc đạt được dải điện áp đầu vào rộng và công suất tiêu thụ thấp. Kết quả mô phỏng đã chứng minh rằng mạch LDO được đề xuất hoạt động ổn định trong toàn bộ dải điện áp đầu vào 1,9 đến 20,5 V và duy trì điện áp đầu ra ổn định ở mức 1,7 V với dòng điện tải 10 mA. Hướng nghiên cứu tiếp theo của đề tài sẽ tập trung cải thiện các chỉ số hiệu suất quan trọng. Cụ thể, sẽ ưu tiên giải quyết vấn đề công suất tiêu thụ cao (3,048 mW) bằng cách áp dụng kỹ thuật phân cực thích nghi. Đồng thời, đề tài sẽ tập trung phân tích và cải thiện hai thông số quan trọng chưa được đánh giá là hệ số loại bỏ nhiễu nguồn (PSRR) và đáp ứng quá độ của tải, nhằm nâng cao độ ổn định và hiệu quả năng lượng của mạch cho các ứng dụng thực tế.

TÀI LIỆU THAM KHẢO

- [1] Nguyễn Hữu Thọ, Nguyễn Thế Quang, Thiết kế mạch LDO đầu vào dải rộng sử dụng công nghệ CMOS 180 nm, Tạp chí Khoa học công nghệ, Trường Đại học Đà Nẵng, vol. 17, No. 10.1, p13-17, (2019).
- [2] M. Day (2006). Understanding Low Drop Out (LDO) Regulators. Texas Instruments, SLUP239, 9-1-9-6. <http://www.ti.com/lit/ml/slup239/slup239.pdf> (15/8/2025).
- [3] G. Nawaz, C. Charan, The Design of An LDO Regulator, ITM Web of Conferences 54, 2023, 2nd International Conference on Advances in Computing, Communication and Security (I3CS-2023), 02010, <https://doi.org/10.1051/itmconf/20235402010>
- [4] B. Razavi, The Design of a Low-Voltage Bandgap Reference. IEEE Solid State Circuits Magazine, vol. 13, no. 3, pp. 6-16. (2021)
- [5] D. Hartung (2018). Conditional Stability in Feedback Systems. Texas Instruments, SLVA947 – February 2018, p 1-12, <https://www.ti.com/lit/an/slva947/slva947.pdf> (15/8/2025).

- [6] Zhizhi Chen, Qian Wang, Xi Li, Sannian Song, Houpeng Chen and Zhitang Song, A High-Precision Current-Mode Bandgap Reference with Nonlinear Temperature Compensation, *Micromachines* 2023, 14(7), 1420; <https://doi.org/10.3390/mi14071420>
- [7] W. Fwu (2021). Understanding the Foundations of Quiescent Current in Linear Power Systems. Texas Instruments 2021, p 1-12, <https://www.ti.com/lit/wp/slyy206/slyy206.pdf> (15/8/2025).
- [8] Behza Razavi, Design of Analog CMOS Integrated Circuits, 800 page, McGraw Hill Education, 2nd Edition, 2016.
- [9] Phillip E. Allen, Douglas R. Holberg, *CMOS Analog circuit design*, 608 pages, Oxford University Press, New York Oxford, 3rd Edition, 2012.
- [10] Chan Mun Kit, Design and simulation of CMOS-based bandgap reference voltage with compensation circuit using 0.18 μm process technology, Master's Dissertation, University Sains Malaysia, 2017.

Thông tin liên hệ: **Vũ Ngọc Dân**

Điện thoại: 0912758766 - Email: vndan@uneti.edu.vn

Khoa Điện tử và Kỹ thuật máy tính, Trường Đại học Kinh tế - Kỹ thuật Công nghiệp.