

A WIDE-BAND CDR IN 28 nm CMOS PROCESS WITH MAXIMUM FREQUENCY ACQUISITION TIME OF 0.9 μ s

Nguyen Huu Tho*, Mai Thanh Hai, Le Tien Hung, Nguyen Thanh

Le Quy Don Technical University

ARTICLE INFO	ABSTRACT
Received: 18/02/2025 Revised: 28/3/2025 Published: 04/4/2025	This paper proposes a design of wideband referenceless half-rate clock and data recovery (CDR) circuit for high-speed serial communication applications. The proposed CDR employs a dual-loop architecture, in which the frequency acquisition loop is implemented in two-step: coarse and fine to achieve an unlimited frequency tracking range. In addition, the proposed frequency detection circuit suppresses DN_F pulses and extends UP_F pulses during frequency-increasing tracking process, while suppressing UP_F pulses and extending DN_F pulses during frequency-decreasing acquisition, thereby reducing frequency locking time in both directions. The wideband CDR circuit is designed and simulated on 28 nm CMOS technology. Simulation results demonstrate that the CDR operates effectively over a wide input data rate ranging from 1 Gb/s to 11.2 Gb/s. The CDR consumes 42.6 mW of power at input of 11.2 Gb/s with a 1 V supply. The CDR obtains a short frequency acquisition time of 0.54 μs and 0.9 μs when acquiring the maximum and minimum frequencies, respectively. The jitter performance of the recovered clock and data at 11.2 Gb/s is 1.68 ps and 1.79 ps, respectively.
KEYWORDS	
Clock and data recovery (CDR)	
Wide-band	
Referenceless CDR	
Two-step frequency tracking	
Short frequency acquisition	

MẠCH CDR DẢI RỘNG TRÊN CÔNG NGHỆ CMOS 28 nm VỚI THỜI GIAN BẮM TẦN SỐ CỰC ĐẠI 0,9 μ s

Nguyễn Hữu Thọ*, Mai Thanh Hải, Lê Tiến Hưng, Nguyễn Thành

Trường Đại học Kỹ thuật Lê Quý Đôn

THÔNG TIN BÀI BÁO	TÓM TẮT
Ngày nhận bài: 18/02/2025 Ngày hoàn thiện: 28/3/2025 Ngày đăng: 04/4/2025	Bài báo này đề xuất thiết kế mạch khôi phục dữ liệu và xung đồng hồ (Clock and Data Recovery: CDR) băng tần dải rộng, không sử dụng tần số tham chiếu cho các ứng dụng thông tin nổi tiếp tốc độ cao. Mạch CDR đề xuất sử dụng kiến trúc vòng kép với vòng bám tần số được thực hiện theo hai bước thô và tinh để đạt được khoảng bám tần số không giới hạn. Bên cạnh đó, mạch phát hiện tần số đề xuất cấm xung DN_F, mở rộng xung UP_F trong xử lý bám tăng tần số và cấm xung UP_F, mở rộng xung DN_F trong xử lý bám giảm tần số để giảm thời gian bám tần số theo cả hai hướng. Mạch CDR dải rộng được thiết kế và mô phỏng trên công nghệ CMOS 28 nm. Kết quả mô phỏng cho thấy mạch CDR làm việc tốt với dải tốc độ dữ liệu đầu vào rộng từ 1 Gb/s đến 11,2 Gb/s. Mạch CDR tiêu thụ công suất 42,6 mW tại tốc độ dữ liệu 11,2 Gb/s với nguồn cung cấp 1 V. Mạch CDR có thời gian bám tần số ngắn, bằng 0,54 μs và 0,9 μs khi bám lên tần số cực đại và bám xuống tần số cực tiểu, và chất lượng jitter của xung đồng hồ và dữ liệu khôi phục tại 11,2 Gb/s lần lượt là 1,68 ps và 1,79 ps.
TỪ KHÓA	
Mạch khôi phục dữ liệu và xung đồng hồ (CDR)	
Dải rộng	
CDR không sử dụng tần số tham chiếu	
Bám tần số theo hai bước	
Thời gian bám tần số ngắn	

DOI: <https://doi.org/10.34238/tnu-jst.12083>

* Corresponding author. Email: thongh@lqdtu.edu.vn

1. Giới thiệu

Mạch khôi phục dữ liệu và xung đồng hồ (Clock and Data Recovery: CDR) đóng vai trò quan trọng và là nhân tố chính trong các liên kết nối tiếp để duy trì tính chính xác của việc truyền dữ liệu tốc độ cao cho nhiều ứng dụng như USB, HDMI, DisplayPort, các kết nối bên trong từ chip đến chip hoặc giữa các hệ thống [1]. Mạch CDR có hai kiến trúc là sử dụng tần số tham chiếu [2], [3] và không sử dụng tần số tham chiếu [4] – [14]. Phương thức đầu tiên sử dụng một xung đồng hồ tham chiếu bên ngoài cho xử lý bám tần số. Phương thức này đơn giản nhưng làm tăng giá thành của sản phẩm vì khi triển khai ứng dụng thì mạch CDR cần một dao động chuẩn ngoài chip làm tần số tham chiếu. Hơn nữa, với phương thức này, tốc độ dữ liệu đầu vào bị giới hạn đến một hoặc một vài giá trị rời rạc. Vì vậy, nó không thích hợp cho những ứng dụng có dải rộng của tốc độ dữ liệu đầu vào. Trong khi đó, phương thức thứ hai trích trực tiếp xung đồng hồ từ chuỗi dữ liệu đầu vào mà không sử dụng xung đồng hồ tham chiếu bên ngoài. Do đó, nó có miền ứng dụng rộng hơn và giá thành rẻ hơn trong triển khai thực tế. Vì vậy, CDR không sử dụng tần số tham chiếu trở thành chủ đề nghiên cứu hấp dẫn trong thời gian gần đây.

Mạch CDR không sử dụng tần số tham chiếu trong [4], [5] sử dụng kiến trúc toàn tốc để giảm số lượng pha của xung đồng hồ và giảm công suất tiêu thụ. Trong đó, nghiên cứu [4] dựa vào vị trí của các sườn lên và xuống của dữ liệu cho bám tần số. Cách tiếp cận này đạt được CDR công suất thấp nhưng có thời gian bám tần số dài (10 ms) và khoảng bám hẹp (39%). Nghiên cứu [5] sử dụng kỹ thuật giải mã mẫu dữ liệu để đạt được thời gian bám tần số ngắn (11,7 μ s), nhưng vẫn có khoảng bám tần số hạn chế (60%). Nghiên cứu [6] - [8] sử dụng kiến trúc CDR vòng đơn để giảm công suất tiêu thụ và đơn giản hơn trong thiết kế. Tuy nhiên [6] có khoảng bám tần số hạn chế, trong khi [7] đạt được khoảng bám tần số không giới hạn nhưng có thời gian bám tần số tương đối dài. Nghiên cứu [8] đạt được đồng thời dải rộng và thời gian bám tần số ngắn nhưng sử dụng mạch dao động điều khiển bằng điện áp (Voltage-Controlled Oscillator: VCO) một dải với hệ số khuếch đại lớn nên có chất lượng jitter của xung đồng hồ khôi phục không cao. Mạch CDR bám tần số theo hai bước thô và tinh được trình bày trong [9] - [11] đạt được đồng thời dải rộng, tốc độ dữ liệu liên tục và khả năng bám tần số theo hai hướng. Tuy nhiên, sơ đồ bám tần số theo hai bước này có vòng bám tần số thô (Coarse Frequency Detector: CFD) và tinh (Fine Frequency Detector: FFD) hoạt động độc lập, sau khi CFD kết thúc thì FFD mới bắt đầu làm việc. Vì vậy, các nghiên cứu này có thời gian bám tần số dài.

Bài báo này đề xuất mạch CDR bán tốc dải rộng không sử dụng tần số tham chiếu kiến trúc vòng kép với sơ đồ bám tần số theo hai bước. Bằng cách cảm xung UP_F , mở rộng độ rộng xung DN_F và cảm xung DN_F , mở rộng độ rộng xung UP_F trong sơ đồ bám giảm và tăng tần số tương ứng, mạch CDR đề xuất có thời gian bám tần số ngắn theo cả hai hướng. Bài báo được tổ chức như sau. Phần tiếp theo trình bày chi tiết về thiết kế mạch CDR đề xuất. Kết quả mô phỏng và thảo luận được giới thiệu trong Phần 3 và kết luận của bài báo được đưa đến trong Phần 4.

2. Thiết kế mạch CDR

2.1. Kiến trúc mạch CDR đề xuất

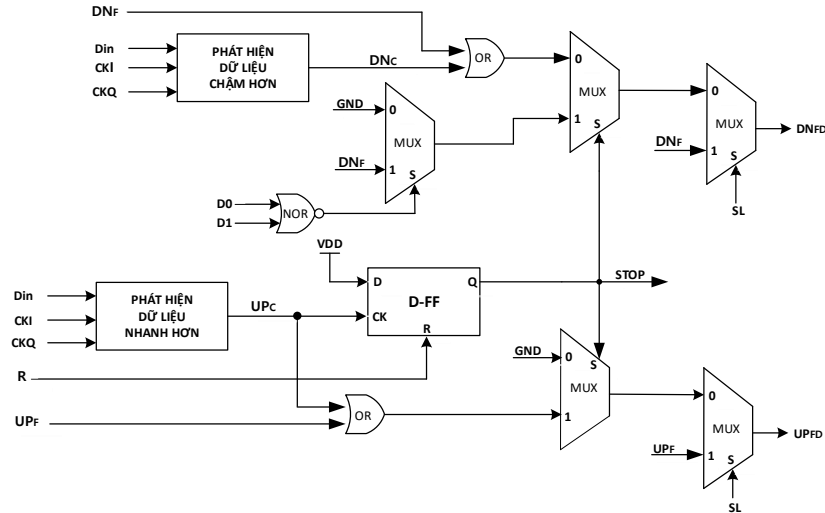
Hình 1 thể hiện sơ đồ khối của mạch CDR bán tốc dải rộng, không sử dụng tần số tham chiếu đề xuất. Nó có kiến trúc vòng kép với vòng khóa tần số (Frequency-Locked Loop: FLL) và vòng khóa pha (Phase-Locked Loop: PLL). Hoạt động của mạch CDR đề xuất được thực hiện qua hai giai đoạn. Ở giai đoạn đầu tiên, FLL hoạt động để tần số của VCO bám theo tốc độ dữ liệu đầu vào, lúc này chuyển mạch S1 đóng và S2 mở. Mạch FLL bao gồm mạch phát hiện tần số, mạch bơm sạc (CP1), mạch lọc vòng bậc hai (R_p , C_p , $C1$), mạch VCO ba dải và mạch lựa chọn dải tần số (Frequency Band Selector: FBS) [13] cho VCO. Trong đó, mạch phát hiện tần số (Frequency Detector: FD) gồm mạch FFD, CFD cải tiến, mạch lựa chọn xung đề xuất, mạch phát hiện khóa tần số (Lock Detector: LD), mạch phát hiện mất khóa tần số (Loss of Lock Detector: LoLD) [15]. Mạch FBS dựa vào các tín hiệu UP_F và DN_F được tạo ra từ mạch FD để lựa chọn chính xác dải

Hình 1. Sơ đồ khối mạch CDR đề xuất

2.2.1. Kiến trúc thực hiện mạch

Các biểu thức trên cho thấy vẫn tồn tại các xung UP_F trong quá trình băm giảm tần số và DN_F khi băm tăng tần số. Điều này sẽ làm tăng thời gian băm tần số, đặc biệt khi tốc độ dữ liệu đầu vào tăng lên. Nghiên cứu [13] đề xuất mở rộng độ rộng xung UP_F khi băm tăng tần số, trong khi nghiên cứu [14] đề xuất cấm xung UP_F trong quá trình băm giảm tần số để cải thiện thời gian đạt được tần số. Tuy nhiên, vẫn tồn tại xung DN_F trong quá trình băm tăng tần số, làm tăng thời gian điều chỉnh tần số trong hoạt động băm tần số theo hai hướng của mạch FD. Vì vậy, bài báo này đề xuất kết hợp cả mở rộng độ rộng xung UP_F , cấm xung DN_F khi băm tăng tần số và mở rộng độ rộng xung DN_F , cấm xung UP_F khi băm giảm tần số khi sai lệch tần số lớn để đạt được thời gian băm tần số ngắn. Hình 2 thể hiện sơ đồ khối của mạch CFD đề xuất. Mạch CFD đề xuất bao gồm mạch phát hiện dữ liệu nhanh hơn xung đồng hồ, mạch phát hiện dữ liệu chậm hơn xung đồng hồ, các cổng logic OR, NOR, flip-flop kiểu D (D-FF) và bốn bộ ghép kênh (MUX). Các xung UP_F , DN_F và tín hiệu SL là các đầu ra của mạch lựa chọn xung. Hai bit điều khiển số D0, D1 là các tín hiệu từ mạch FBS. Mạch phát hiện dữ liệu nhanh hơn và chậm hơn tạo ra các xung UP_C và

DN_C tương ứng. Khi dữ liệu nhanh hơn xung đồng hồ, tín hiệu UP_C xuất hiện, lấy mẫu D-FF, tạo ra tín hiệu $STOP$. Dựa vào giá trị của tín hiệu $STOP$, SL và $D0$, $D1$ mà mạch CFD lựa chọn các tín hiệu UP và DN tương ứng. Nguyên lý hoạt động cụ thể của mạch CFD được miêu tả như sau.



Hình 2. Sơ đồ khối của mạch CFD đề xuất

Khi không có tín hiệu $STOP$ ($STOP = 0$) và $SL = 0$ (bám xuống, sai lệch tần số lớn):

$$DN_{FD} = DN_F + DN_C; UP_{FD} = 0$$

Khi không có tín hiệu $STOP$ ($STOP = 0$) và $SL = 1$ (bám xuống, sai lệch tần số nhỏ):

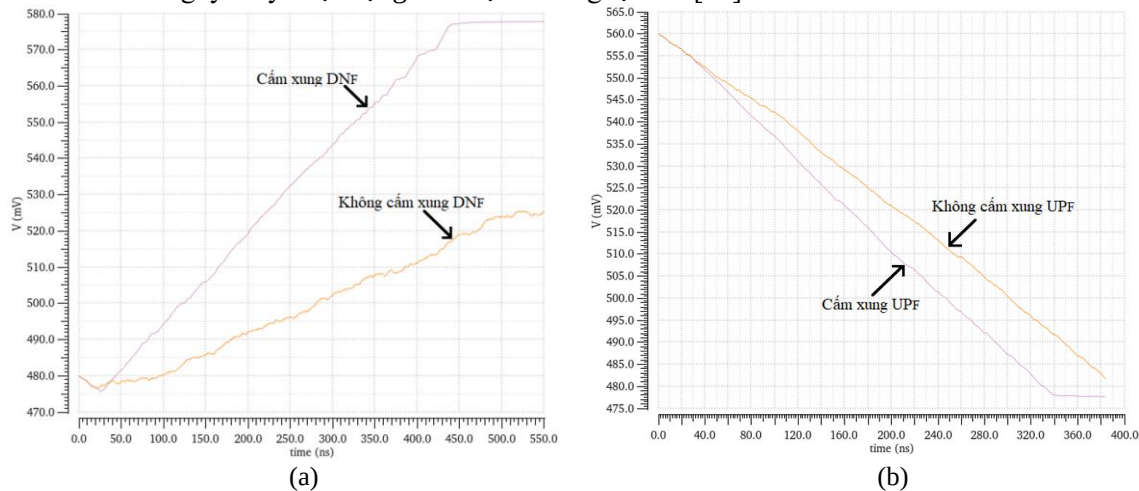
$$DN_{FD} = DN_F; UP_{FD} = UP_F$$

Khi có tín hiệu $STOP$ ($STOP = 1$), $SL = 0$, $\overline{D0} + \overline{D1} = 0$ (bám lên, sai lệch tần số lớn với VCO hoạt động ở dải 2 hoặc dải 3): $DN_{FD} = 0$; $UP_{FD} = UP_F + UP_C$

Khi có tín hiệu $STOP$ ($STOP = 1$), $SL = 0$, $\overline{D0} + \overline{D1} = 1$ (bám lên, sai lệch tần số lớn với VCO hoạt động ở dải 1): $DN_{FD} = DN_F$; $UP_{FD} = UP_F + UP_C$

Khi có tín hiệu $STOP$ ($STOP = 1$), $SL = 1$ (bám lên, sai lệch tần số nhỏ): $DN_{FD} = DN_F$; $UP_{FD} = UP_F$.

Như vậy, với kiến trúc phát hiện tần số đề xuất, khi sai lệch tần số lớn ($SL = 0$) thì mạch sẽ cấm xung UP_F khi bám xuống và cấm xung DN_F khi bám lên. Điều này sẽ làm tăng tốc độ cập nhật tần số trong xử lý bám tần số, từ đó giảm thời gian đạt được tần số. Ngược lại khi sai lệch tần số nhỏ thì nguyên lý hoạt động của mạch tương tự như [12].



Hình 3. Kết quả mô phỏng điện áp điều khiển của VCO trong hai trường hợp:

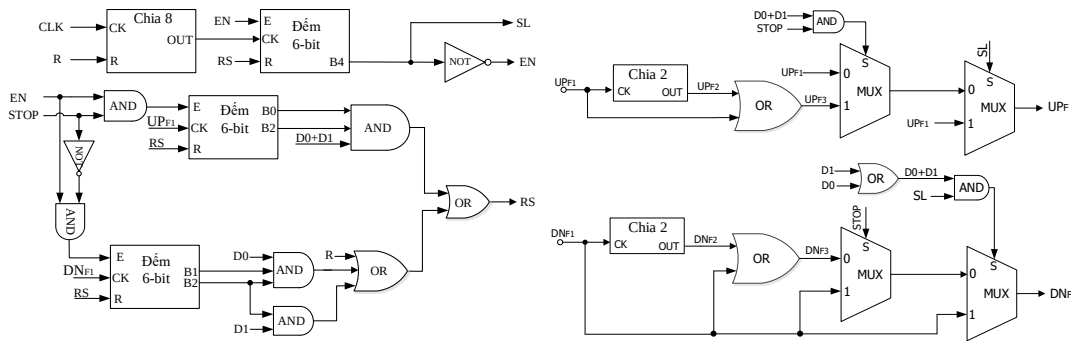
(a) bám lên và cấm xung DN_F , (b) bám xuống và cấm xung UP_F

Mô phỏng so sánh hiệu quả điều chỉnh tần số của mạch CFD đề xuất với mạch CFD trong [12] được thực hiện trên Virtuoso/Cadence [17] với cùng điều kiện, tham số mô phỏng. Hình 3 thể hiện kết quả mô phỏng sự thay đổi điện áp điều khiển (VC) của VCO khi bám tăng và giảm tần số với việc cấm và không cấm xung UP_F , DN_F . Tần số của VCO và tốc độ dữ liệu đầu vào khi bám lên và bám xuống được thiết lập lần lượt là 4,3 GHz, 9,6 Gb/s và 3,54 GHz, 6 Gb/s. Kết quả mô phỏng cho thấy tốc độ điều chỉnh VC của VCO trong trường hợp có cấm xung UP_F/DN_F luôn nhanh hơn khi không cấm xung UP_F/DN_F , với cùng một khoảng thời gian thì khoảng điều chỉnh được của tần số VCO khi sử dụng mạch CFD cải tiến luôn lớn hơn khi sử dụng mạch CFD trong [12].

2.2.2. Mạch lựa chọn xung UP và DN

Mạch FD thực hiện bám tần theo hai bước với CFD và FFD hoạt động đồng thời nên tốc độ bám tần số phụ thuộc mạnh vào độ rộng xung UP và DN. Mặt khác, độ rộng xung UP_F và DN_F của mạch FFD tỷ lệ nghịch với tốc độ dữ liệu nên khi tốc độ dữ liệu đầu vào tăng lên thì thời gian bám tần số cũng tăng. Vì vậy, để đạt được thời gian bám tần số ngắn, bài báo đề xuất mở rộng đồng thời độ rộng xung UP_F [13] và DN_F [14] cho xử lý bám tần số theo hai hướng.

Sơ đồ khối của mạch lựa chọn xung UP_F (DN_F) được thể hiện ở Hình 4. Mạch lựa chọn xung hoặc lựa chọn xung UP_{F3} (DN_{F3}) đã được mở rộng hoặc lựa chọn xung UP_{F1} (DN_{F1}) nguyên bản từ đầu ra của mạch FFD. Khi sai lệch giữa tần số xung đồng hồ với một nửa tốc độ dữ liệu đầu vào giảm thì số lượng xung UP_F (DN_F) giảm. Mạch sẽ lựa chọn xung UP_{F1} (DN_{F1}) ở thời điểm FLL gần đạt trạng thái khóa.

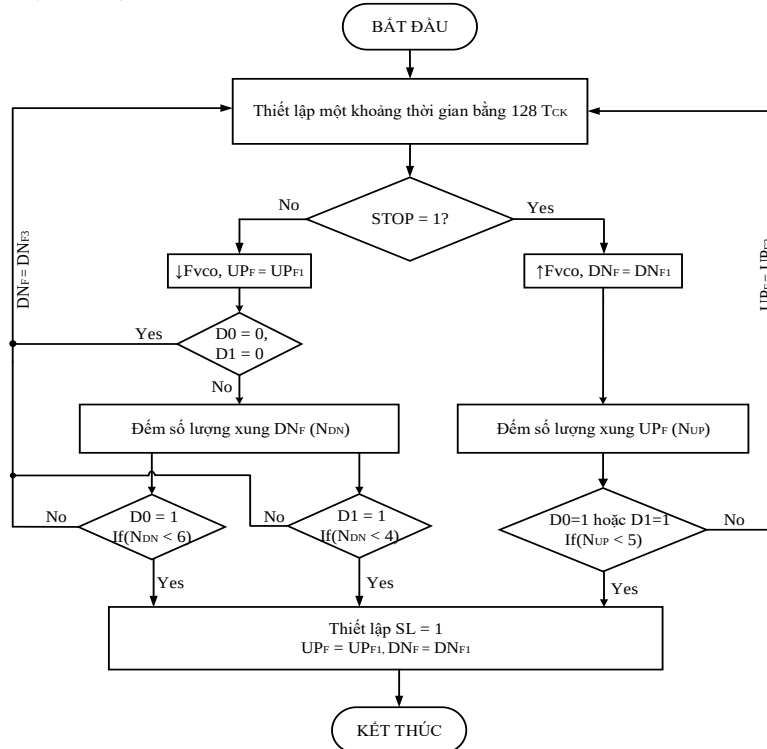


Hình 4. Sơ đồ khối của mạch lựa chọn xung

Lưu đồ thuật toán của mạch lựa chọn xung UP_F (DN_F) được thể hiện ở Hình 5. Mạch lựa chọn xung bao gồm mạch chia 8, ba bộ đếm 6-bit, hai mạch chia 2, bốn mạch MUX và các cổng logic cơ bản như AND, OR, NOT. Số lượng xung UP_F (N_{UP}), DN_F (N_{DN}) tỷ lệ thuận với sai lệch tần số. Mạch lựa chọn xung sử dụng mạch chia 8 và mạch đếm 6-bit để tạo ra cửa sổ thời gian có độ rộng bằng $128T_{CK}$. Nguyên lý làm việc của mạch lựa chọn xung dựa trên việc kiểm tra sự tồn tại của tín hiệu *STOP*. Khi có tín hiệu *STOP* (*STOP* = 1), mạch thực hiện bám tăng tần số, DN_{F1} được lựa chọn như đầu ra, đồng thời thực hiện đếm số lượng xung UP_{F1} trong khoảng thời gian $128T_{CK}$. Ban đầu sai lệch tần số lớn nên N_{UP} lớn. Nếu N_{UP} lớn hơn 5 thì tín hiệu *RS* lên mức '1', bộ đếm 6-bit được reset về trạng thái ban đầu làm cho tín hiệu *SL* luôn ở mức logic '0' và mạch lựa chọn UP_{F3} (đã được mở rộng độ rộng xung) như đầu ra. Ngược lại, khi sai lệch tần số nhỏ (< 50 MHz), N_{UP} giảm và khi N_{UP} nhỏ hơn 5 trong khi VCO đang làm việc trong dải 2 hoặc dải 3 thì tín hiệu *SL* được kích hoạt để mạch lựa chọn UP_{F1} như đầu ra để đảm bảo hoạt động khóa tần số chính xác.

Trong khi đó, nếu không xuất hiện tín hiệu *STOP* (*STOP* = 0) thì mạch FD thực hiện bám giảm tần số và lựa chọn UP_{F1} như một đầu ra. Khi này mạch lựa chọn xung kiểm tra dải tần làm việc của VCO dựa trên các bit điều khiển số *D0*, *D1*. Nếu VCO đang làm việc trong dải 1 (*D0* = 0, *D1* = 0) thì mạch sẽ lựa chọn DN_{F3} như đầu ra. Ngược lại, mạch lựa chọn xung thực hiện đếm số lượng xung DN_{F1} trong khoảng thời gian $128T_{CK}$. Tương tự như đối với trường hợp xung UP_F , khi sai lệch tần số lớn thì mạch lựa chọn DN_{F3} (đã được mở rộng độ rộng xung) như đầu ra. Nếu

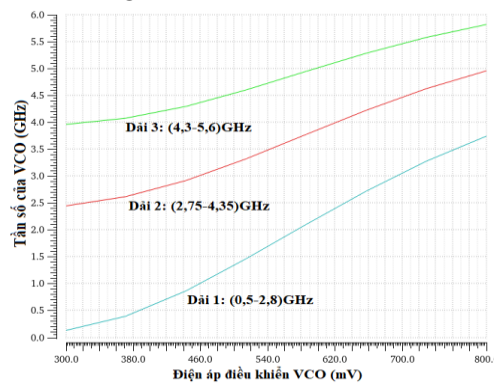
số lượng xung DN_{F1} ở dải 2 nhiều hơn 6 xung (hoặc số lượng xung DN_{F1} nhiều hơn 4 xung ở dải 3) thì tín hiệu RS lên mức '1'. Lúc này, bộ đếm 6-bit được reset về trạng thái ban đầu làm cho tín hiệu SL luôn ở mức logic '0'. Khi sai lệch tần số nhỏ, N_{DN} nhỏ hơn 6 trong dải 2 ($D0 = 1$) và nhỏ hơn 4 trong dải 3 ($D1 = 1$) thì tín hiệu SL được kích hoạt để lựa chọn DN_{F1} như đầu ra của mạch.



Hình 5. Lưu đồ thuật toán của mạch lựa chọn xung

2.2.3. Mạch VCO dải rộng

Trong nghiên cứu này, mạch VCO được thiết kế theo kiến trúc vi sai ba dải để đạt được dải tần làm việc rộng với hệ số khuếch đại mỗi dải nhỏ [12], từ đó giảm jitter của xung đồng hồ khôi phục. Kết quả mô phỏng hoạt động của mạch VCO ba dải được thể hiện trên Hình 6 và mối quan hệ giữa các bit điều khiển số $D0$, $D1$ và dải tần số làm việc của VCO được thể hiện trên Bảng 1. Dải tần số làm việc của VCO từ 0,5 GHz đến 5,6 GHz, với dải 1 từ 0,5 GHz đến 2,8 GHz (tương ứng $D0 = 0$, $D1 = 0$), dải 2 từ 2,75 GHz đến 4,35 GHz (tương ứng $D0 = 1$, $D1 = 0$) và dải 3 từ 4,3 GHz đến 5,6 GHz (tương ứng $D0 = 0$, $D1 = 1$). Các dải tần số của VCO có sự chồng lấp nhỏ để đảm bảo VCO hoạt động liên tục trong toàn dải.



Hình 6. Hệ số khuếch đại của mạch VCO 3 dải

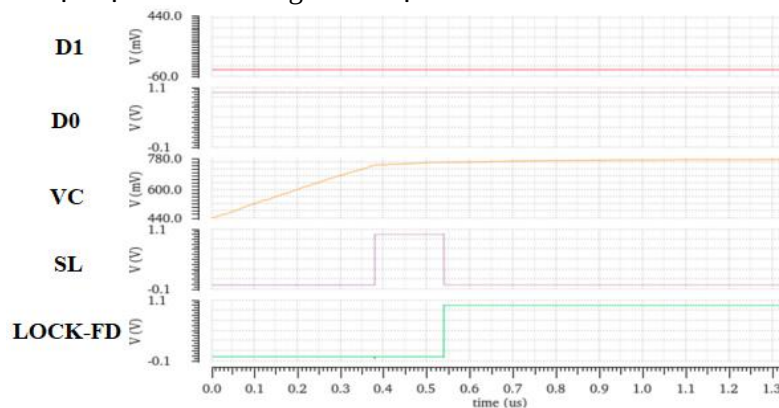
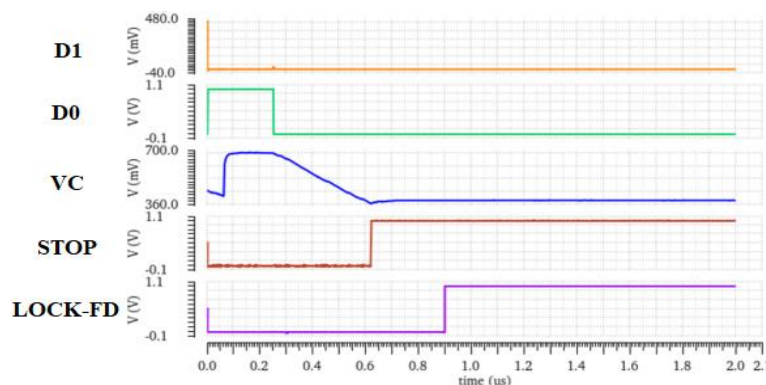
Bảng 1. Mối quan hệ của các bit điều khiển và dải tần số của VCO

Giá trị D0, D1	Dải làm việc của VCO	Tần số tương ứng
D0 = 0, D1 = 0	Dải 1	500 MHz – 2,8 GHz
D0 = 1, D1 = 0	Dải 2	2,75 GHz – 4,35 GHz
D0 = 0, D1 = 1	Dải 3	4,3 GHz – 5,6 GHz

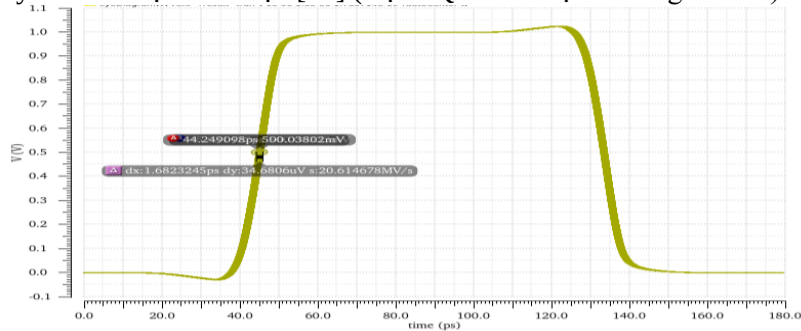
3. Kết quả mô phỏng và thảo luận

Mạch CDR đề xuất được thiết kế trên công nghệ CMOS 28 nm, tiêu thụ 42,6 mW công suất từ nguồn cung cấp 1 V. Mạch CDR có khả năng làm việc liên tục trong khoảng tốc độ dữ liệu đầu vào rộng từ 1 Gb/s đến 11,2 Gb/s. Hình 7 và Hình 8 thể hiện kết quả mô phỏng hoạt động bám tần số của mạch CDR với tốc độ dữ liệu đầu vào lần lượt là cực đại 11,2 Gb/s và cực tiểu 1 Gb/s.

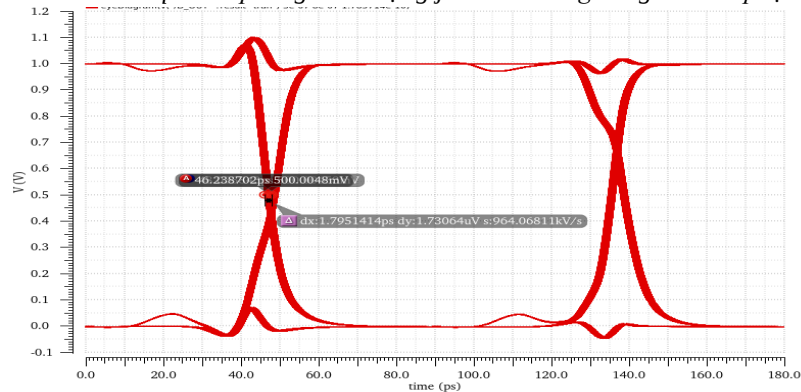
Hoạt động bám tần số của FLL được chia thành ba giai đoạn. Đầu tiên, mạch FBS lựa chọn dải tần số làm việc của VCO dựa trên tốc độ dữ liệu đầu vào. Với tốc độ dữ liệu đầu vào cực đại, mạch FBS lựa chọn dải 3 cho VCO và mạch FD bắt đầu bám tăng tần số từ tần số cực tiểu của dải 3. Trong khi với tốc độ dữ liệu đầu vào cực tiểu, mạch FBS lựa chọn dải 1 cho VCO mà mạch FD bắt đầu bám giảm tần số từ tần số cực đại của dải 1. Sau khi lựa chọn chính xác dải tần số làm việc của VCO, mạch FLL chuyển sang giai đoạn bám tần số, độ rộng xung UP_F được mở rộng, kết hợp với cấm xung DN_F khi bám tăng tần số và độ rộng xung DN_F được mở rộng, kết hợp với cấm xung UP_F khi bám giảm tần số để tăng tốc độ điều chỉnh VC. Giai đoạn bám tần số kết thúc khi sai lệch tần số nhỏ, tín hiệu SL đối với bám tăng tần số và tín hiệu $STOP$ đối với bám giảm tần số được kích hoạt. Khi tần số của VCO xấp xỉ bằng một nửa tốc độ dữ liệu đầu vào thì mạch LD khởi tạo tín hiệu $LOCK_FD$ để kết thúc giai đoạn khóa tần số, mạch CDR chuyển sang quá trình bám pha. Mạch CDR đề xuất đạt được thời gian bám tần số lần lượt bằng 0,54 μs và 0,9 μs khi bám lên tần số cực đại và bám xuống tần số cực tiểu.

**Hình 7.** Kết quả mô phỏng hoạt động bám tần số của CDR với tốc độ dữ liệu đầu vào cực đại**Hình 8.** Kết quả mô phỏng hoạt động bám tần số của CDR với tốc độ dữ liệu đầu vào cực tiểu

Hình 9 và Hình 10 lần lượt thể hiện kết quả mô phỏng chất lượng jitter của xung đồng hồ và dữ liệu khôi phục với tốc độ dữ liệu đầu vào 11,2 Gb/s. Với giải pháp chia dải tần số hoạt động của VCO thành 3 dải để giảm hệ số khuếch đại của VCO, mạch CDR đạt được chất lượng jitter của xung đồng hồ và dữ liệu khôi phục nhỏ lần lượt là 1,68 ps và 1,79 ps. Giá trị jitter của dữ liệu khôi phục cao hơn xung đồng hồ vì dữ liệu khôi phục nhận được bằng cách sử dụng xung đồng hồ khôi phục lấy mẫu dữ liệu thu được [16] (mạch QUYẾT ĐỊNH trong Hình 1).



Hình 9. Kết quả mô phỏng chất lượng jitter của xung đồng hồ khôi phục



Hình 10. Kết quả mô phỏng chất lượng jitter của dữ liệu khôi phục

Bảng 2. So sánh chất lượng của các CDR

	[4] (đo chip)	[5] (đo chip)	[6] (đo chip)	[8] (đo chip)	Bài báo (mô phỏng)
Công nghệ (CMOS)	28 nm	28 nm	28 nm	28 nm	28 nm
Nguồn (V)	0,9	1,1	1	1	1
Kiến trúc	¼ tốc	¼ tốc	Bán tốc	¼ tốc	Bán tốc
Tốc độ dữ liệu (Gb/s)	22,5-32	16-30	6,5-12,5	1,4-8	1-11,2
Khoảng bám không giới hạn	X	X	X	O	O
Tốc độ bám tần số [(Gb/s)/μs]	0,0017	1,2	2	0,66	2,6
Jitter _{p-p} (ps)	-	13,8	9,9	46,8	1,68
Công suất (mW)	102@32Gb/s	30,8@30Gb/s	21,1@10Gb/s	5,7@8Gb/s	42,6@11,2Gb/s

So sánh chất lượng của các CDR được tổng kết trong Bảng 2. Mạch CDR đề xuất có chất lượng jitter tốt khi so sánh với nghiên cứu [8] và tốc độ bám tần số nhanh nhất so với các nghiên cứu khác. Điều này đạt được bởi kiến trúc CDR đề xuất sử dụng mạch VCO ba dải với hệ số khuếch đại nhỏ và sử dụng kỹ thuật mở rộng xung UP_F , cấm xung DN_F khi bám tăng tần số và mở rộng xung DN_F , cấm xung UP_F khi bám giảm tần số. Hơn nữa, với phương thức bám tần số theo hai bước đề xuất, mạch CDR đạt được khoảng bám tần số không giới hạn so với các nghiên cứu [4] - [6]. Hạn chế của nghiên cứu này là công suất tiêu thụ của mạch CDR vẫn tương đối cao so với các nghiên cứu khác.

4. Kết luận

Mạch CDR bán tốc, dải rộng, kiến trúc vòng kép, không sử dụng tần số tham chiếu, có khả năng bám tần số theo hai hướng và bám theo sự thay đổi liên tục của tốc độ dữ liệu đầu vào với khoảng bám tần số không giới hạn đã được thiết kế và đánh giá trên công nghệ CMOS 28 nm. Với kỹ thuật kết hợp cấm xung UP_F và mở rộng độ rộng xung DN_F trong xử lý bám giảm tần số hoặc cấm xung DN_F và mở rộng độ rộng xung UP_F trong xử lý bám tăng tần số, mạch CDR đạt được thời gian bám tần số ngắn. Hướng nghiên cứu tiếp theo là tối ưu mạch thiết kế, sử dụng kiến trúc CDR vòng đơn để giảm công suất tiêu thụ của mạch.

TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] A. Amirkhany, "Basics of Clock and Data Recovery Circuits: Exploring High-Speed Serial Links," *IEEE Solid-State Circuits Magazine*, vol. 12, no. 01, pp. 25-38, Jan. 2020.
- [2] L. Rodoni, A. Huber, *et al.*, "A 5.75 to 44 Gb/s Quarter Rate CDR With Data Rate Selection in 90 nm Bulk CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 7, pp. 1927-1941, Jul. 2009.
- [3] J. C. Seo, J. Y. Jang, *et al.*, "A 1.62/2.7/5.4 Gbps Clock and Data Recovery Circuit for DisplayPort 1.2 with a single VCO," *IEEE J. Semiconductor Technology and Science*, vol. 13, no. 3, pp. 185-192, Jun. 2013.
- [4] W. Rahman *et al.*, "A 22.5-to-32-Gb/s 3.2-pJ/b Referenceless Baud-Rate Digital CDR With DFE and CTLE in 28-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 52, no. 12, pp. 3517-3531, Dec. 2017.
- [5] Y. Jung *et al.*, "A 16-30Gb/s 1.03pJ/b Referenceless Baud-Rate CDR with Integrated Pattern Decoding Technique for Fast Frequency Acquisition," in *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Japan, November 18-21, 2024.
- [6] C. Yu, E. Sa, S. Jin, H. Park, J. Shin, and J. Burm, "A 6.5-12.5-Gb/s Half-Rate Single-Loop All-Digital Referenceless CDR in 28-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 55, no. 10, pp. 2831-2841, Oct. 2020.
- [7] K. Park *et al.*, "A 4-20-Gb/s 1.87-pJ/b Continuous-Rate Digital CDR Circuit With Unlimited Frequency Acquisition Capability in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 5, pp. 1597-1607, May 2021.
- [8] M. Al-Shyouch, H. Lee, and R. Perez, "1.4-8 Gb/s Low Power Quarter-rate Single-Loop Referenceless CDR with Unlimited Capture Range," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 9, pp. 4061-4065, March 2024.
- [9] R. Inti *et al.*, "A 0.5-to-2.5 Gb/s Reference-Less Half-Rate Digital CDR With Unlimited Frequency Acquisition Range and Improved Input Duty-Cycle Error Tolerance," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 3150-3162, Dec. 2011.
- [10] W. Chen, Y. Yao, and S. Liu, "A 10.4-16-Gb/s Reference-Less Baud-Rate Digital CDR With One-Tap DFE Using a Wide-Range FD," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 11, pp. 4566-4575, Nov. 2021.
- [11] Y. S. Yao, C. C. Huang, and S. I. Liu, "A Wide-Range FD for Referenceless Baud-Rate CDR Circuits," *IEEE Trans. Circuits and Systems-II: Express Briefs*, vol. 69, no. 1, pp. 60-64, Jan. 2022.
- [12] N. H. Tho, H. J. Lee, T. J. An, and J.-K. Kang, "A 0.32 - 2.7 Gb/s Reference-less Continuous-rate Clock and Data Recovery Circuit with Unrestricted and Fast Frequency Acquisition," *IEEE Trans. Circuits and Systems-II: Express Briefs*, vol. 68, no. 7, pp. 2347-2351, July 2021.
- [13] M. H. Pham, T. Q. Nguyen, and H. T. Nguyen, "Wide-band Clock and Data Recovery Circuit with UP Pulse Selector," *Journal of Science and Technology on Information and Communications*, vol. 2, no. 1, pp. 42-48, Aug. 2021.
- [14] H. T. Nguyen, T. H. Mai, and T. Q. Nguyen, "A 1 – 11.2 Gb/s Referenceless Continuous-Rate CDR with Fast Frequency Acquisition," in *International Conference on Green and Human Information Technology*, Viet Nam, Jan. 23-25, 2024, pp. 129-132.
- [15] T. Q. Nguyen *et al.*, "A Improved Loss of Lock Detector for Wide-band CDR in 28nm CMOS PROCESS," in *REV-ECIT*, Ha Noi, Viet Nam, Dec. 2023, pp. 455-458.
- [16] B. Razavi, *Design of Integrated Circuits for Optical Communication Systems*, McGraw-Hill, New York, 2016.
- [17] A. Martin, *Cadence Design Environment*, New Mexico State University, Oct. 2002.