

APPLICATION OF TRACKING POWER SUPPLY TO DIFFERENTIAL SIGNAL EXTRACTION

Bui Duc Bien

*Institute of Technology - General Department of Military Industries and Manufacture,
School of Non-Destructive Testing - Tomsk Polytechnic University*

ARTICLE INFO		ABSTRACT
Received:	16/01/2026	In the structure of lock-in amplifiers, the differential voltage extraction block against large common-mode noise is usually based on the basis of an instrumentation amplifier chip, using a basic signal subtraction circuit diagram with operational amplifiers. This approach has the disadvantage of a low common-mode rejection ratio and a narrow measurement range, resulting in low resolution of differential voltage signal measurements. This research aims to overcome these limitations by developing a theoretical measurement method and improving the circuit structure of differential voltage measurement using an instrumentation amplifier chip, applying a dedicated power supply circuit, called a tracking power supply circuit. With circuit designs utilizing voltage followers with power buffer stages using transistor pairs and photovoltaic modules, the differential signal extraction block developed based on the PGA207 can measure AC voltage signals with amplitudes up to $10\sqrt{2}$ V and achieve a common-mode rejection ratio approaching 180 dB for frequencies up to 1 kHz, thereby enabling a resolution of 10 μ V. The results are significant for the design and fabrication of a high resolution lock-in amplifier with a differential input.
Revised:	27/02/2026	
Published:	27/02/2026	
KEYWORDS		
Tracking power supply		
Lock-in amplifier		
Instrumentation amplifier		
Voltage follower		
Common-mode rejection ratio		

ỨNG DỤNG MẠCH NGUỒN BẮM TRONG ĐO LƯỜNG ĐIỆN ÁP VI SAI

Bùi Đức Biên

*Viện Công nghệ - Tổng cục Công nghiệp quốc phòng,
Trường Kiểm tra không phá hủy - Đại học Bách khoa Tomsk*

THÔNG TIN BÀI BÁO		TÓM TẮT
Ngày nhận bài:	16/01/2026	Trong cấu trúc của các thiết bị khuếch đại đồng bộ, khối tách điện áp vi sai trên nền nhiễu đồng pha lớn thường được xây dựng trên cơ sở chip khuếch đại đo lường, sử dụng sơ đồ mạch trừ tín hiệu cơ bản dùng khuếch đại thuật toán, có nhược điểm là hệ số nén tín hiệu đồng pha thấp, phạm vi đo hẹp nên độ phân giải của phép đo tín hiệu điện áp vi sai không cao. Nghiên cứu này hướng tới giải quyết các hạn chế nêu trên bằng cách phát triển lý thuyết phương pháp đo và cải tiến cấu trúc sơ đồ mạch đo điện áp vi sai sử dụng chip khuếch đại đo lường, áp dụng mạch nguồn nuôi chuyên dụng, gọi là mạch nguồn bám. Với các phương án xây dựng mạch nguồn bám sử dụng khuếch đại lặp điện áp có tầng đệm công suất dùng các cặp transistor và các mô-đun quang điện, khối tách tín hiệu vi sai phát triển trên cơ sở chip khuếch đại đo lường PGA207 có thể so sánh các tín hiệu điện áp xoay chiều có biên độ lên tới $10\sqrt{2}$ V và hệ số nén tín hiệu đồng pha tiệm cận giá trị 180 dB ở dải tần số đến 1 kHz, đồng nghĩa độ phân giải đạt ngưỡng 10 μ V. Kết quả nghiên cứu có ý nghĩa quan trọng trong thiết kế và chế tạo thiết bị khuếch đại đồng bộ độ phân giải cao có đầu vào vi sai.
Ngày hoàn thiện:	27/02/2026	
Ngày đăng:	27/02/2026	
TỪ KHÓA		
Mạch nguồn bám		
Khuếch đại đồng bộ		
Khuếch đại đo lường		
Khuếch đại lặp điện áp		
Hệ số nén tín hiệu đồng pha		

DOI: <https://doi.org/10.34238/tnu-jst.14558>

Email: bienbd.mcit@gmail.com

<http://jst.tnu.edu.vn>

291

Email: jst@tnu.edu.vn

1. Giới thiệu

Trong đo lường điện áp vi sai, việc tách tín hiệu cần đo trên nền nhiễu tạp lớn là bài toán khó. Việc tìm lời giải cho vấn đề này có ý nghĩa thực tiễn rất cao trong đảm bảo đo lường cho các phương tiện đo như bộ chia điện áp, shunt dòng..., trong đo lường các dao động của con quay hồi chuyển và cảm biến gia tốc dạng vi cơ, các cảm biến đo dạng mạch cầu [1] – [3]. Trong các ứng dụng này, việc đo hiệu điện áp rất nhỏ của hai tín hiệu xoay chiều trong dải tần số và biên độ điện áp (nhiều) đồng pha rộng được thực hiện bằng thiết bị khuếch đại đồng bộ Lock-in Amplifier (LIA) với đầu vào vi sai, đóng vai trò như thiết bị so sánh [4], [5]. Trong cấu tạo của một LIA cơ bản, khối tách tín hiệu vi sai là chìa khóa quyết định phạm vi đo và độ phân giải của thiết bị và khối này có thể được xây dựng trên cơ sở mạch khuếch đại cộng, mạch khuếch đại trừ điện áp (dùng khuếch đại thuật toán) và mạch khuếch đại đo lường dạng chíp Instrumentation Amplifier (INA). Ở mạch khuếch đại cộng và trừ tín hiệu, hệ số nén tín hiệu đồng pha Common-mode rejection ratio (CMRR) phụ thuộc vào độ chính xác của các điện trở thành phần và trở kháng đầu ra của các nguồn tín hiệu so sánh, trong khi đó ở INA, sự phụ thuộc này đã được tối ưu hóa về mặt công nghệ nhờ được tích hợp bộ khuếch đại đệm ở đầu vào và các điện trở thành phần đạt độ tương đồng và độ chính xác rất cao nhờ được hiệu chỉnh giá trị bằng công nghệ laser, vì vậy trong các LIA hiện có trên thị trường, khối tách tín hiệu điện áp vi sai về cơ bản được xây dựng trên INA [6]. Các INA tốt nhất của các hãng như Texas Instruments, Maxim, Intersel, Analog Devices đều có hệ số nén tín hiệu đồng pha nằm trong khoảng (100 đến 120) dB trong dải tần số đến 1 kHz và bắt đầu giảm với tốc độ 20 dB/decade sau tần số cắt 1...10 kHz. Kết quả so sánh các INA nổi bật như AD8428, MAX4197, PGA207, ISL28633, AD620 cho thấy PGA207 của Texas Instruments có sai số hệ số khuếch đại rất nhỏ ($\pm 0,1\%$), độ không tuyến tính thấp (0,003 %), dòng điện đầu vào rất nhỏ (1 pA), phạm vi so sánh điện áp đồng pha rộng ($\pm 12,5$ V), đặc biệt hệ số khuếch đại được thiết lập bởi các tín hiệu dạng số, giúp giảm thiểu tối đa các ảnh hưởng của các nhiễu tạp, vì vậy PGA207 được lựa chọn để xây dựng khối tách tín hiệu vi sai [4]. Tuy nhiên, PGA207 có hệ số nén tín hiệu đồng pha tối đa chỉ bằng 100 dB, tương đương với độ phân giải 100 μ V của LIA khi so sánh các điện áp xoay chiều có biên độ $10\sqrt{2}$ V ở dải tần số đến 1 kHz, không đáp ứng đủ yêu cầu trong một số trường hợp cần so sánh các tín hiệu xoay chiều có biên độ điện áp đồng pha rộng và độ phân giải cao, cỡ nV [7], [8]. Kết quả đánh giá thực nghiệm hệ số nén tín hiệu đồng pha được tiến hành trên 08 mẫu INA PGA207 sử dụng nguồn nuôi tiêu chuẩn ± 15 VDC được trình bày trong Bảng 1.

Bảng 1. Kết quả nghiên cứu thực nghiệm hệ số nén tín hiệu đồng pha của INA PGA207

Tần số, kHz	Hệ số nén tín hiệu đồng pha, dB							
	INA1	INA2	INA3	INA4	INA5	INA6	INA7	INA8
0,1	101,83	98,00	94,44	102,31	98,35	85,67	84,29	93,31
0,5	101,60	98,26	94,52	101,43	98,51	85,77	84,50	93,40
1	99,44	98,20	94,19	98,55	98,48	85,80	84,47	93,41
5	98,35	98,07	93,55	96,80	98,63	85,92	84,43	93,56
10	97,38	97,23	92,92	89,92	98,43	85,57	82,00	93,53
50	96,36	89,09	88,92	85,27	96,89	83,46	79,66	92,44
100	84,29	80,84	82,57	78,27	92,67	79,30	76,75	89,51

Bảng 1 cho thấy hệ số nén tín hiệu đồng pha của các mẫu PGA207 có giá trị tương đồng với công bố của nhà sản xuất và có sự phân tán đáng kể. Như vậy, việc tìm kiếm các phương án mạch để nâng cao hệ số nén tín hiệu đồng pha của INA trong cấu trúc của khối tách tín hiệu điện áp vi sai, góp phần nâng cao độ phân giải của LIA là yêu cầu có tính thực tiễn cao. Mục tiêu của bài báo này là trình bày chi tiết về quá trình nghiên cứu nguyên lý hoạt động của INA và mạch nguồn bám, trên cơ sở đó đề xuất các cải tiến cấu trúc sơ đồ mạch, mô phỏng, chế tạo mạch in và đánh giá thực nghiệm các phương án mạch nguồn bám, giúp nâng cao hệ số nén tín hiệu đồng pha của

INA, tiệm cận giá trị 180 dB trong dải tần số đến 1 kHz, góp phần nâng cao độ phân giải của LIA đến 10 nV khi so sánh các điện áp xoay chiều có biên độ tới $10\sqrt{2}$ V.

2. Phương pháp nghiên cứu

Phương pháp nghiên cứu dựa trên lý thuyết cơ bản về đo lường điện áp vi sai trên nền nhiễu đồng pha lớn kết hợp với phân tích tài liệu về các mạch khuếch đại đo lường và mạch nguồn chuyên dụng trong những năm gần đây. Từ đó đưa ra giải pháp thiết kế, xây dựng mạch nguồn bám đáp ứng yêu cầu bài toán đặt ra. Thực hiện mô phỏng trong phần mềm NI Multisim, tính toán và đo kiểm, đánh giá thực nghiệm giải pháp thiết kế đề xuất trên mẫu thử.

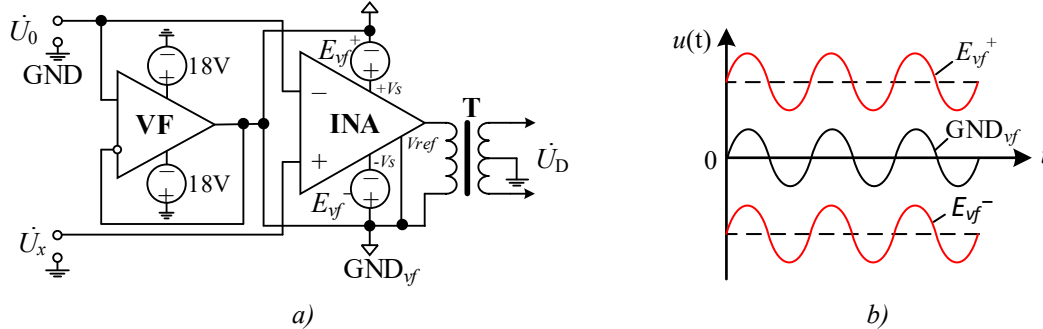
2.1. Nguyên lý làm việc mạch khuếch đại đo lường và mạch nguồn bám

Khuếch đại đo lường là mạch khuếch đại độ chính xác cao với mạch hồi tiếp kín, có khả năng khuếch đại hiệu điện áp của hai tín hiệu ở đầu vào và khử các tín hiệu điện áp đồng pha. Điện áp ở đầu ra của khuếch đại đo lường được xác định theo công thức [9], [10]:

$$\dot{U}_{OUT} = \dot{G}_D \dot{U}_D + \dot{G}_A \dot{U}_C = \dot{G}_D \left(\dot{U}_D + \dot{U}_C \frac{\dot{G}_A}{\dot{G}_D} \right) = \dot{G}_D \left(\dot{U}_D + \frac{\dot{U}_C}{CMRR} \right) \quad (1)$$

trong đó: $\dot{U}_D$, $\dot{U}_C$ - điện áp vi sai và điện áp đồng pha ở đầu vào của INA, V; $\dot{G}_D$, $\dot{G}_A$ - hệ số khuếch đại tín hiệu vi sai và tín hiệu đồng pha của INA; $CMRR$ - hệ số nén tín hiệu đồng pha của INA.

Từ biểu thức (1) ta thấy, thành phần $(\dot{U}_C/CMRR)$ là sai số hệ thống của phép đo, là mức điện áp nhỏ nhất mà INA có thể phân biệt được, đây chính là độ phân giải của phép đo. Ta có, $(\dot{U}_C/CMRR) \rightarrow 0$ khi $\dot{U}_C \rightarrow 0$ hoặc $CMRR \rightarrow \infty$, nhưng khi so sánh hai tín hiệu điện áp thì $\dot{U}_C \neq 0$, vì vậy phải nâng cao hệ số $CMRR$. Giá trị của hệ số nén tín hiệu đồng pha là có giới hạn và cố định tại một tần số làm việc cụ thể nên chỉ có thể gián tiếp nâng cao giá trị của hệ số này. Qua nghiên cứu, ta thấy hệ số nén tín hiệu đồng pha có thể được nâng cao bằng cách tích hợp tín hiệu điện áp đồng pha vào điện áp nguồn nuôi của INA, đây là ý tưởng cốt lõi của sơ đồ mạch nguồn bám [11]. Hình 1a trình bày sơ đồ nguyên lý mạch nguồn nuôi dành cho INA có tích hợp thành phần xoay chiều, dao động đồng bộ với tín hiệu đồng pha $\dot{U}_C$ ở đầu vào bằng cách sử dụng khuếch đại lặp điện áp Voltage Follower. Vì $\dot{U}_D$ rất nhỏ, nên coi như $\dot{U}_x = \dot{U}_0$ và khi đó $\dot{U}_C \approx \dot{U}_0$.



Hình 1. Hình minh họa: (a) sơ đồ khuếch đại đo lường INA tích hợp mạch nguồn bám, sử dụng mạch lặp điện áp VF với $\dot{U}_x$, $\dot{U}_0$ là các tín hiệu so sánh và (b) các điện áp tại đầu ra E_{vf}^+ , E_{vf}^- , GND_{vf}

Khuếch đại lặp điện áp, xây dựng trên cơ sở khuếch đại thuật toán lý tưởng có mô-đun hệ số truyền bằng 1 và với tầng đệm công suất ở đầu ra, ta có các tín hiệu điện áp ở đầu ra của mạch nguồn bám như minh họa ở Hình 1b. Biểu thức điện áp ở ngõ vào của INA có dạng [4]:

$$\dot{U}_{-IN} = \dot{U}_0 - \dot{U}_0 \dot{G}_{vf} \quad \text{và} \quad \dot{U}_{+IN} = \dot{U}_x - \dot{U}_0 \dot{G}_{vf} \quad (2)$$

trong đó: $\dot{G}_{vf}$ - hệ số truyền của bộ lặp điện áp.

Thay $\dot{U}_D = \dot{U}_{+IN} - \dot{U}_{-IN}$ và $\dot{U}_C = (\dot{U}_{+IN} + \dot{U}_{-IN})/2$ vào công thức (1) và với $\dot{U}_C \approx \dot{U}_0$, ta có biểu thức điện áp ở đầu ra của INA so với cực chung GND_{vf} có dạng [4]:

$$\dot{U}_{OUT} = \dot{G}_D \left(\dot{U}_x - \dot{U}_0 + \frac{\dot{U}_x + \dot{U}_0}{2CMRR} - \frac{\dot{U}_0 \dot{G}_{vf}}{CMRR} \right) = \dot{G}_D \left(\dot{U}_x - \dot{U}_0 + \frac{\dot{U}_0 (1 - \dot{G}_{vf})}{CMRR} \right) \quad (3)$$

Khi so sánh hai tín hiệu giống hệt nhau, điện áp ở đầu ra của khuếch đại đo lường có dạng:

$$\dot{U}_{OUT} = \dot{G}_D \left[\frac{\dot{U}_0 (1 - \dot{G}_{vf})}{CMRR} \right] \quad (4)$$

Khi đó hệ số nén tín hiệu đồng pha của INA có tích hợp mạch nguồn bám tính theo công thức:

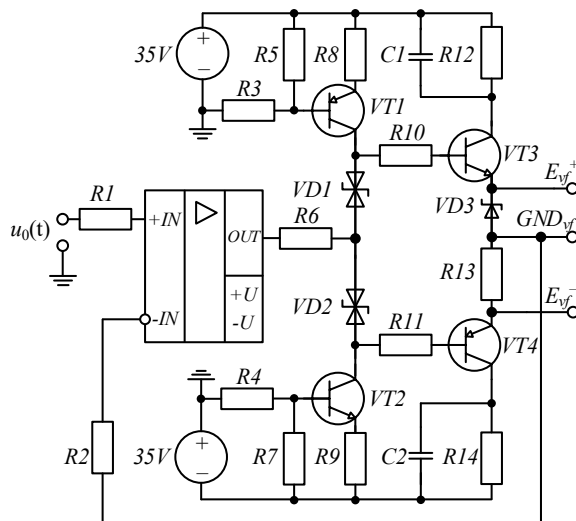
$$CMRR_{vf} = \frac{\dot{U}_0}{\dot{U}_{OUT}} = \frac{CMRR}{1 - \dot{G}_{vf}} \quad (5)$$

Ta thấy, khi hệ số $\dot{G}_{VF} \rightarrow 1$ thì hệ số $CMRR_{vf} \rightarrow \infty$. Theo công thức Euler, $\dot{G}_{vf} = G_{vf} e^{j\varphi} = G_{vf}(\cos\varphi + j\sin\varphi)$, thay vào công thức (5) ta có biểu thức xác định mô-đun hệ số nén tín hiệu đồng pha:

$$CMRR_{vf, dB} = |CMRR_{vf}| = 20 \lg \left(\frac{CMRR}{\sqrt{1 - 2G_{vf} \cos\varphi + G_{vf}^2}} \right) \quad (6)$$

Theo biểu thức (6), mô-đun hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai sẽ phụ thuộc vào cả mô-đun hệ số khuếch đại G_{vf} và độ lệch pha φ của mạch khuếch đại lặp điện áp.

2.2. Mạch lặp điện áp với tầng đệm công suất sử dụng transistor



Hình 2. Sơ đồ mạch nguồn bám sử dụng khuếch đại lặp điện áp và tầng đệm công suất dùng transistor

Bảng 2. Mô-đun hệ số khuếch đại, độ lệch pha của mạch nguồn bám sử dụng bộ lặp điện áp với tầng đệm công suất dùng transistor và hệ số nén tín hiệu đồng pha tương đương, tính theo dB của khối tách tín hiệu vi sai

f, kHz	G_{vf}	$\varphi, ^\circ$	$CMRR$
0,1	1,000003	- 0,00033	> 180
1	1,000003	- 0,00333	> 180
10	1,000009	- 0,03330	155,09
20	1,000028	- 0,06661	143,42
30	1,000059	- 0,09990	136,45
40	1,000103	- 0,13323	131,47
50	1,000160	- 0,16654	127,60
60	1,000228	- 0,19985	124,43
70	1,000310	- 0,23318	121,75
80	1,000404	- 0,26652	119,42
90	1,000511	- 0,29987	119,37
100	1,000630	- 0,33330	115,53

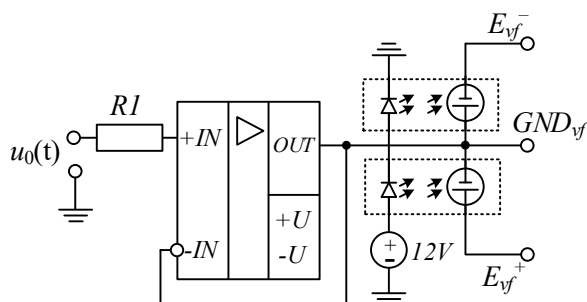
Để giải quyết đồng thời bài toán nâng cao hệ số nén tín hiệu đồng pha và mở rộng phạm vi so sánh tín hiệu của khối tách tín hiệu vi sai dùng chip khuếch đại đo lường thì phải xây dựng mạch lặp điện áp sử dụng khuếch đại thuật toán có điện áp nguồn nuôi cao hơn biên độ điện áp cần so sánh, bên cạnh đó khuếch đại thuật toán cũng phải có hệ số khuếch đại tín hiệu vi sai và hệ số nén tín hiệu đồng pha tương đối cao. Qua đánh giá các khuếch đại thuật toán phổ biến, OP285 của Analog Devices có điện áp nguồn nuôi $\pm 18 \text{ V}$, hệ số khuếch đại tín hiệu vi sai bằng 85 dB và hệ số nén tín hiệu đồng pha bằng 106 dB đã được lựa chọn sử dụng [5]. Sơ đồ mạch nguồn bám dùng OP285 có tầng đệm công suất sử dụng cặp transistor VT1-VT4 (BD139, BD140) được trình bày ở Hình 2. Để truyền tín hiệu điện áp xoay chiều tới các đầu ra của mạch nguồn bám, các mạch lặp emitter (VT3, VT4) được sử dụng với dòng điện ở các cực base của VT3, VT4 được

cấp bởi các nguồn ổn dòng trên VT1, VT2. Thành phần điện áp một chiều của E_{vf}^+ , E_{vf}^- được thiết lập bởi các đi-ốt ổn áp VD1-VD3 và điện trở R3. Như vậy, ở các cực E_{vf}^+ , E_{vf}^- ngoài thành phần điện áp xoay chiều, dao động đồng bộ với tín hiệu điện áp đồng pha ở đầu vào, còn có thành phần điện áp một chiều bằng $\pm 5,6$ V đóng vai trò là nguồn nuôi cho INA [12] – [14].

Tiến hành mô phỏng sơ đồ mạch ở Hình 2 trong phần mềm thiết kế, mô phỏng mạch điện NI Multisim của National Instruments, ta nhận được các giá trị mô-đun hệ số khuếch đại G_{vf} , độ lệch pha φ của mạch nguồn bơm và tính toán hệ số nén tín hiệu đồng pha tương đương của khối tách tín hiệu vi sai, sử dụng khuếch đại đo lường PGA207 theo công thức (6), kết quả nhận được trình bày trong Bảng 2. Ta thấy, hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai (cột 4) có thể đạt đến giá trị 180 dB ở dải tần số đến 1 kHz.

2.3. Mạch lập điện áp với tầng đệm công suất sử dụng mô-đun quang điện

Một phương án khác để xây dựng tầng đệm công suất của mạch nguồn bơm, đó là sử dụng các mô-đun quang điện *Photovoltaic modules (PV)* [15], đây là tổ hợp các tế bào quang điện, khi có ánh sáng chiếu vào, ở đầu ra sẽ xuất dòng điện một chiều. Hình 3 trình bày sơ đồ mạch khuếch đại lập điện áp với tầng đệm công suất sử dụng các mô-đun quang điện. Các mô-đun này được đấu nối tiếp với nhau, khi được chiếu sáng bởi các bóng led, ở đầu ra sẽ xuất hiện các điện áp một chiều đối xứng E_{vf}^+ , E_{vf}^- . Mạch khuếch đại lập điện áp, có nhiệm vụ truyền tín hiệu điện áp xoay chiều tới các đầu ra của mạch nguồn bơm vẫn được xây dựng trên cơ sở OP285, các mô-đun quang điện có điện áp một chiều danh định là 5,6 V đóng vai trò là nguồn nuôi cho khuếch đại đo lường.



Hình 3. Sơ đồ mạch nguồn bơm sử dụng khuếch đại lập điện áp và tầng đệm công suất dùng các mô-đun quang điện

Bảng 3. Mô-đun hệ số khuếch đại, độ lệch pha của mạch nguồn bơm sử dụng bộ lập điện áp với tầng đệm công suất dùng các mô-đun quang điện và hệ số nén tín hiệu đồng pha tương đương, tính theo dB của khối tách tín hiệu vi sai

f, kHz	G_{vf}	$\varphi, ^\circ$	CMRR
0,1	1,000003	- 0,00033	> 180
1	1,000003	- 0,00330	> 180
10	1,000005	- 0,03300	155,17
20	1,000011	- 0,06599	143,50
30	1,000020	- 0,09897	136,53
40	1,000034	- 0,13199	131,56
50	1,000051	- 0,16466	127,71
60	1,000073	- 0,19800	124,53
70	1,000098	- 0,23106	121,85
80	1,000127	- 0,26413	119,53
90	1,000160	- 0,29710	117,49
100	1,000197	- 0,33038	115,65

Tiến hành mô phỏng tương tự như với sơ đồ trong mục 2.2, ta nhận được các giá trị mô-đun hệ số khuếch đại G_{vf} , độ lệch pha φ của mạch nguồn bơm và tính toán hệ số nén tín hiệu đồng pha tương đương của khối tách tín hiệu vi sai, sử dụng PGA207 theo công thức (6), kết quả nhận được trình bày trong Bảng 3. Ta thấy, hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai (cột 4) có thể đạt đến giá trị 180 dB ở dải tần số đến 1 kHz. Như vậy, cả hai phương án triển khai mạch nguồn bơm như trình bày trong mục 2.2 và 2.3 đều giúp nâng cao hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai sử dụng khuếch đại đo lường PGA207.

Tuy nhiên, vì hàm truyền hệ số nén tín hiệu đồng pha của PGA207 được xấp xỉ bằng khâu quán tính bậc một, nên biên độ của hệ số sẽ giảm từ 100 dB xuống ngưỡng 70 dB sau tần số cắt $f_c = 3,5$ kHz [7], đồng thời khi tần số tăng, sai số của mô-đun hệ số khuếch đại và độ lệch pha của mạch nguồn bơm sẽ tăng lên (như kết quả mô phỏng trong cột 2 và cột 3 của Bảng 2, 3), khi

đó theo công thức (6), ta có biên độ của hệ số nén tín hiệu đồng pha tương đương của khối tách tín hiệu vi sai khi tích hợp mạch nguồn bơm cũng sẽ giảm xuống, tuy vậy giá trị vẫn xấp xỉ ngưỡng 100 dB trong dải tần số đến 100 kHz theo kết quả tính toán trong Bảng 2, 3 (cột 4).

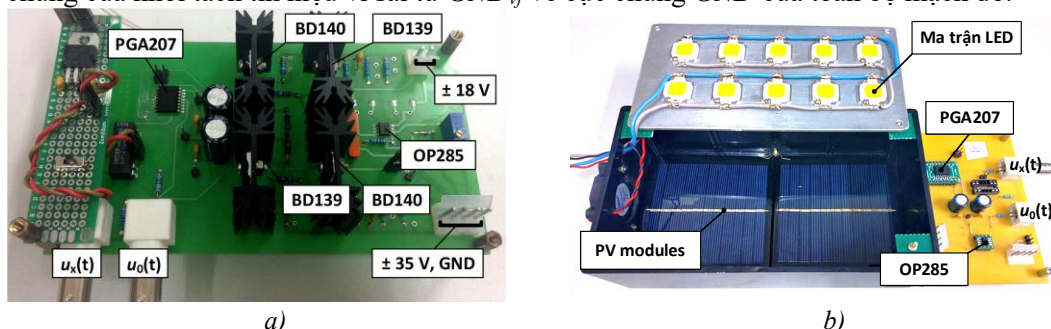
3. Kết quả nghiên cứu thực nghiệm và đánh giá

Để nghiên cứu và đánh giá thực nghiệm, mạch in khối tách tín hiệu vi sai sử dụng PGA207 tích hợp mạch nguồn bơm, xây dựng theo hai sơ đồ mạch trong mục 2.2 và 2.3 đã được chế tạo, minh họa trong Hình 4. Đối với tầng đệm công suất sử dụng các tế bào quang điện, mô-đun pin mặt trời Sunpower C60 (công suất tối đa danh định bằng 1 W) của hãng ANGUI đã được lựa chọn.

3.1. Xác định hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai

Hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai được xác định thực nghiệm theo sơ đồ Hình 5. Cấp đồng thời tín hiệu điện áp xoay chiều dạng sin với biên độ lần lượt là $1\sqrt{2}$ V, $5\sqrt{2}$ V và $10\sqrt{2}$ V ở các tần số 20, 40, 80, 400 Hz và 1, 10, 20, 40, 80, 100 kHz từ nguồn chuẩn đo lường Fluke 5522A tới hai đầu đo của khối tách tín hiệu vi sai, tức là $u_x(t) = u_o(t) = u_c(t) = U_m\sqrt{2}\sin(\omega t)$ với $U_m = (1, 5, 10)$ V, đây chính là tín hiệu điện áp đồng pha $u_c(t)$. Giá trị điện áp ở đầu ra của khối tách tín hiệu vi sai U_{OUT} được xác định bằng thiết bị khuếch đại đồng bộ SR830 của hãng Stanford Research Systems với độ phân giải 2 nV, dải điện áp làm việc lớn nhất bằng 1 V.

Để điện áp tham chiếu $u_{ref}(t)$ có biên độ phù hợp với dải điện áp làm việc của SR830, bộ chia điện áp chuẩn DI-3m đã được sử dụng. Biến áp đối xứng cách ly chuẩn được dùng để chuyển đổi cực chung của khối tách tín hiệu vi sai từ GND_{VF} về cực chung GND của toàn bộ mạch đo.

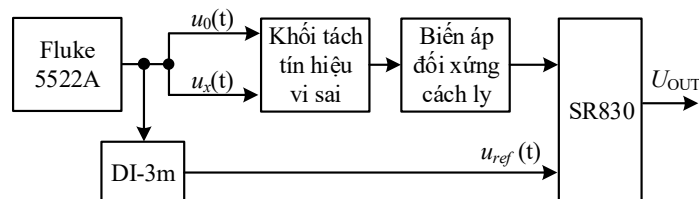


Hình 4. Ảnh chụp khối tách tín hiệu vi sai sử dụng PGA207 tích hợp mạch nguồn bơm với tầng đệm công suất: (a) sử dụng transistor và (b) sử dụng mô-đun quang điện

Hệ số nén tín hiệu đồng pha được của khối tách tín hiệu vi sai được xác định theo công thức:

$$CMRR, dB = 20 \lg \left(\frac{U_m G_D G_T}{U_{OUT}} \right) \quad (7)$$

trong đó: U_m - giá trị điện áp đồng pha, V; G_D - hệ số khuếch đại tín hiệu vi sai của PGA207, bằng 10; G_T - hệ số truyền của biến áp đối xứng cách ly chuẩn, bằng 2.



Hình 5. Sơ đồ nghiên cứu thực nghiệm hệ số nén tín hiệu đồng pha của khối tách điện áp vi sai tích hợp mạch nguồn bơm, với $u_o(t)$, $u_x(t)$ là các điện áp so sánh, $u_{ref}(t)$ là điện áp tham chiếu

Kết quả nghiên cứu thực nghiệm hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai sử dụng khuếch đại đo lường PGA207 tích hợp mạch nguồn bơm với hai phương án thiết kế tầng đệm công suất ở đầu ra của khuếch đại lặp điện áp được trình bày trong Bảng 4. Ta thấy, với việc

tích hợp mạch nguồn bơm, hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai, sử dụng khuếch đại đo lường PGA207 đã được nâng lên đáng kể, tiệm cận giá trị khoảng 100 đến 180 dB trong dải tần số tới 100 kHz.

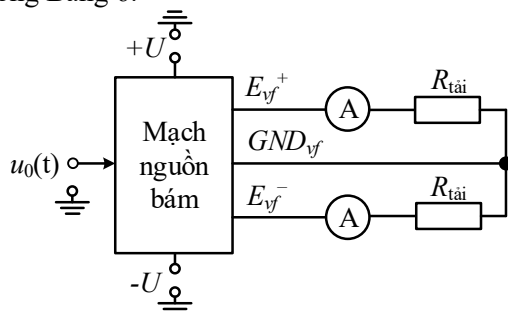
Bảng 4. Kết quả nghiên cứu thực nghiệm hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai sử dụng khuếch đại đo lường PGA207 tích hợp mạch nguồn bơm

f, kHz	Hệ số nén tín hiệu đồng pha, dB					
	Transistor			Mô-đun quang điện		
	$U_C = 1\sqrt{2}$ V	$U_C = 5\sqrt{2}$ V	$U_C = 10\sqrt{2}$ V	$U_C = 1\sqrt{2}$ V	$U_C = 5\sqrt{2}$ V	$U_C = 10\sqrt{2}$ V
0,02	179,17	183,50	182,44	175,92	176,77	184,08
0,04	175,92	180,93	179,79	175,92	176,42	182,56
0,08	174,66	178,86	178,42	172,04	171,80	176,17
0,4	165,19	162,51	165,64	164,81	163,92	166,83
1	156,22	157,48	157,85	159,79	157,75	158,53
10	134,35	135,26	133,77	133,91	133,80	133,88
20	124,92	125,74	123,41	123,05	122,99	123,07
40	113,67	114,38	111,81	111,38	111,40	111,55
80	101,58	102,08	99,88	99,52	99,51	99,73
100	97,49	97,79	95,36	95,67	95,67	95,81

Thông qua Bảng 2, 3 và 4 ta thấy, có sự chênh lệch nhất định giữa kết quả mô phỏng tính toán và kết quả đo thực nghiệm. Nguyên nhân của những sai lệch đó có thể xuất phát từ sự khác biệt giữa mô hình toán học của các linh kiện điện tử trong phần mềm mô phỏng so với thực tế, sai số về giá trị của các linh kiện điện tử sử dụng trong sơ đồ mạch đo, sai số của các phương tiện đo, sử dụng trong quá trình nghiên cứu thực nghiệm và các sai số ngẫu nhiên khác.

3.2. Đánh giá khả năng chịu tải của mạch nguồn bơm

Khả năng chịu tải của mạch nguồn bơm được xác định thực nghiệm theo sơ đồ Hình 6. Với dòng điện tiêu thụ danh định của PGA207 là 10 mA [7] và điện áp một chiều của mạch nguồn bơm là 5,6 V thì giá trị điện trở R_{t0} tương đương, mô phỏng tải tiêu thụ của PGA207 tính theo định luật Ôm sẽ bằng 560 Ω . Để xác định dòng điện lớn nhất mà mạch nguồn bơm có thể cấp cho INA, các điện trở tải R_{t0} sẽ được mắc song song và tăng dần về số lượng. Dòng điện được đo bằng thiết bị đo điện vạn năng chuẩn Keysight 34410A. Kết quả thực nghiệm được trình bày trong Bảng 6.



Hình 6. Sơ đồ nghiên cứu thực nghiệm khả năng chịu tải của mạch nguồn bơm

Bảng 6. Kết quả nghiên cứu thực nghiệm khả năng chịu tải của mạch nguồn bơm

R_{t0} , Ω	Transistor		PV module	
	I_{-Evf} , mA	I_{+Evf} , mA	I_{-Evf} , mA	I_{+Evf} , mA
R_0	10,1	10,0	10,0	10,2
$R_0/2$	20,1	19,8	19,5	20,1
$R_0/3$	29,9	29,9	29,9	30,0
$R_0/4$	39,5	39,9	40,0	39,9
$R_0/5$	49,0	49,7	49,8	49,7
$R_0/6$	59,3	59,3	-	-
$R_0/7$	69,7	69,9	-	-
$R_0/8$	79,9	79,6	-	-
$R_0/9$	-	-	-	-

Từ Bảng 6, ta thấy khả năng chịu tải của mạch nguồn bơm có tăng dần công suất sử dụng các transistor tốt hơn so với các mô-đun quang điện, tuy nhiên cả hai phương án đều đáp ứng tốt yêu cầu cấp nguồn cho một chip khuếch đại đo lường PGA207.

4. Kết luận

Với việc trình bày chi tiết quá trình nghiên cứu phương pháp đo điện áp vi sai sử dụng khuếch đại đo lường, đề xuất các phương án mạch nguồn bám mới, mô phỏng, tính toán, đo kiểm thực nghiệm và so sánh các kết quả nhận được, nghiên cứu này đã chứng minh được hiệu quả nâng cao hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai của khuếch đại đo lường thông qua tích hợp các phương án mạch nguồn bám khác nhau. Các kết quả nhận được trong quá trình nghiên cứu thực nghiệm trên PGA207 cho thấy, cả hai phương án mạch nguồn bám trình bày trong nghiên cứu này đều nâng cao hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai tiệm cận giá trị 180 dB ở dải tần số đến 1 kHz và 100 dB ở dải tần số đến 100 kHz, tức là độ phân giải của phép đo hiệu điện áp đạt từ 10 nV đến 100 μ V khi so sánh các điện áp đồng pha có biên độ $10\sqrt{2}$ V. Ngoài ra, mạch nguồn bám có tầng đệm công suất sử dụng các mô-đun quang điện đơn giản, dễ chế tạo nhưng có khả năng chịu tải kém hơn so với các transistor. Hướng phát triển tiếp theo của nghiên cứu là tập trung vào nâng cao độ chính xác hệ số truyền của mạch lặp điện áp và tích hợp các mạch hiệu chỉnh kết quả đo để nâng cao hơn nữa hệ số nén tín hiệu đồng pha của khối tách tín hiệu vi sai và cải thiện độ phân giải của phép đo.

TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] P. Baranov, K. Andrey, and T. Nesterenko, "Analysis of MEMS fluxgate design for vibration and impact," *Materials Science Forum*, vol. 970, pp. 107-114, 2019.
- [2] Q. Zhang, W. Jeong, and D. K. Kang, "Lock-in amplifiers as a platform for weak signal measurements: Development and applications," *Current Applied Physics*, vol. 66, pp. 95-109, 2024.
- [3] M. G. Ruppert, N. J. Bartlett, Y. K. Yong, and A. J. Fleming, "Amplitude Noise Spectrum of a Lock-in Amplifier: Application to Microcantilever Noise Measurements," *Sensors and Actuators A: Physical*, vol. 312, 2020, Art. no. 112092.
- [4] D. B. Bui, "Lock-in amplifier with signal invariance to common-mode signal," (in Russian), PhD. Thesis, Tomsk, Russia: Tomsk Polytechnic University, 2020.
- [5] P. F. Baranov and V. N. Borikov, *Lock-in amplifiers for metrological support of measuring transducers*, (in Russian), Tomsk, Russia: Publishing house TPU, 2014.
- [6] P. F. Baranov and V. N. Borikov, "The level of modern technical development of lock-in amplifier with differential input, (in Russian)," *Siberian Journal of Science*, vol. 7, no. 1, pp. 69-74, 2013.
- [7] Texas Instruments, "PGA207 High-Speed programmable gain instrumentation," October 2025. [Online]. Available: https://www.ti.com/lit/ds/symlink/pga207.pdf?ts=1772106369588&ref_url=https%253A%252F%252Fwww.google.com%252F [Accessed Dec. 15, 2025].
- [8] P. Baranov, V. Borikov, and D. B. Bui, "Lock-in amplifier with a high common-mode rejection ratio in the range of 0.02 to 100 kHz," *ACTA IMEKO*, vol. 8, no. 1, pp. 103-109, 2019.
- [9] C. Kitchin and L. Counts, *A designer's guide to instrumentation amplifiers*, the 2nd, Analog Devices, Inc., 2014.
- [10] N. Albaygh, *The instrumentation amplifier handbook. Including Applications*, Burr-Brown Corporation, 2012.
- [11] P. Baranov, E. Tsimbalist, V. Borikov, and J. Pisarenko, "Increasing common-mode rejection ratio based on the voltage follower," in *Proc. the International Conference SIBCON*, Moscow, 2016, pp.1-3.
- [12] P. Baranov, V. Borikov, E. Tsimbalist, and D. B. Bui, "Decrease uncertainty of measuring small differential signal against large common-mode signal," *Matec Web of Conferences*, vol. 102, no. 01006, p. 4, 2017.
- [13] D. B. Bui, "Methods for increasing the common-mode rejection ratio of instrumentation amplifiers," in *Proc. the 27th National Conference on Electronics, Communications and Information Technology*, Hanoi, 2023, pp. 200-204.
- [14] D. B. Bui, "Enhancing the common mode rejection ratio of the differential signal extraction block in the structure of the Lock-in amplifier," (in Vietnamese), *TNU Journal of Science and Technology*, vol. 230, no. 10, pp. 11-18, 2025.
- [15] P. Baranov, I. Zatonov, and D. B. Bui, "Dual phase lock-in amplifier with photovoltaic modules and quasi-invariant common-mode signal," *Electronics*, vol. 11, no. 1512, pp. 1-14, 2022.